

# 高速互连总线结构中多平行传输线间的串扰分析与控制\*

张志伟

(陕西理工学院 物理与电信工程学院, 陕西 汉中 723000)

**摘要:** 随着数字芯片和系统的时钟频率不断提高,串扰成为高速互连系统设计、分析中不容忽视的严峻问题。为研究串行总线结构中多平行传输线间串扰的影响,分析了电信号传输时串扰产生的机理,采用信号完整性分析软件 Hyperlynx,构建了三平行传输线串扰模型和总线电路模型,研究了不同模型中控制多平行传输线间串扰噪声的方法。仿真验证结果表明,增加传输线间距、减小介质层厚度、进行端接匹配可以明显减小平行传输线间的串扰。最后提出了减小总线电路模型中抑制串扰噪声干扰的相应措施。

**关键词:** 高速互连; 平行传输线; 串扰; Hyperlynx; 总线结构; 信号完整性

中图分类号: TN248.4 文献标志码: A 文章编号: 1001-3695(2013)12-3729-03

doi:10.3969/j.issn.1001-3695.2013.12.054

## Analysis and control of crosstalk between multi-parallel transmission lines in high-speed interconnect bus structure

ZHANG Zhi-wei

(School of Physics & Telecommunication Engineering, Shaanxi University of Technology, Hanzhong Shaanxi 723000, China)

**Abstract:** With the increasing clock frequency of digital chip and system, crosstalk problems become a serious problem that can't be ignored in the design and analysis of the high-speed interconnect system. In order to study the impacts of crosstalk between multi-parallel transmission lines in the bus structure, this paper analyzed the mechanism of crosstalk in signal transmission and established a three parallel transmission line crosstalk model and bus circuit mode based on the dissection of Hyperlynx, studied on the control method of crosstalk noise between multi-parallel transmission line in different model. The simulation results show that it can reduce the crosstalk by increasing transmission line spacing, reducing the thickness of the dielectric layer and conducting termination match. Finally, it put forward the corresponding measures to suppress crosstalk noise of the bus circuit mode.

**Key words:** high-speed interconnect; parallel transmission line; crosstalk; Hyperlynx; bus structure; signal integrity

## 0 引言

随着现代电子通信系统的高速发展,PCB和高速数字系统的设计正面临着日益严重的信号完整性问题。高速串行互连总线结构中传输线间的串扰耦合噪声对电信号传输性能的影响日益突出,据统计有1/3的噪声来源于串扰<sup>[1,2]</sup>。目前已经有相当部分文献对耦合串扰噪声的产生机理和抑制方法进行了分析。文献[3,4]对二平行传输线间串扰的产生机理、分类、分析方法和抑制措施进行了总结。文献[5]考虑到高速互连设计中建立仿真模型的实际工程需要,改进了简单的二线平行耦合模型,建立了平行耦合的三线串扰模型,仿真分析了传输模式、耦合长度、传输线间距、传输线类型、介质层厚度和信号源上升/下降时间等因素对串扰的影响,但仍未考虑复杂环境下多平行传输线之间串扰的仿真研究。本文运用Mentor graphics公司的信号完整性工具Hyperlynx 7.5分别建立三线信道耦合模型和串行互连总线仿真模型,通过仿真分析提出高速串行互连总线结构中抑制串扰噪声的相应补充措施。

## 1 串扰产生的机理

任何传输线的固有特性或物理特性都会引起信号完整性问题。例如串扰和反射等相互影响带来的损耗,PCB板级互连、芯片之间互连、芯片内核物理互连之间的串扰也都会影响电子通信系统输出的信号质量<sup>[6]</sup>。

串扰是高速互连电子或通信系统中的电信号向相邻信道以有害的噪声形式进行传播的一种现象,其主要产生的原因是由电容耦合和电感耦合引起的。高速电信号传输线的串扰分为两类,基于不同的拓扑结构,它们的形成机理和特性也不同。一种是远端串扰(FEXT),它是由攻击线的发送端激励,在链路远端的受害线接收端观测到的串扰<sup>[7]</sup>;另一种是近端串扰(NEXT),它是由攻击线的发送端激励,在同侧或链路近端的受害线接收端观测到的串扰。

对于基于FR-4的背板带状传输线而言,电感耦合强于电容耦合。攻击线发射的信号脉冲由于电容耦合在邻近的受害线上激励出的电流会流向远端和近端。另一方面,由于电感耦

收稿日期: 2013-02-28; 修回日期: 2013-04-07 基金项目: 国家教育部科学技术研究重点项目(212177); 陕西省教育厅科学研究计划资助项目(2013JK1059); 陕西理工学院科研计划资助项目(slgky13-48)

作者简介: 张志伟(1977-), 男, 湖南邵阳人, 讲师, 硕士, 主要研究方向为信号完整性分析、电子技术应用(zzw\_1997@163.com)。

合在邻近的受害线上产生的电流只会从远端流向近端,并且通过楞次定律可知,它与攻击线或驱动线的电流方向相反。因此, FEXT 为电容耦合电流与电感耦合电流之差, NEXT 为电容耦合电流与电感耦合电流之和。因为电感耦合占主导地位, FEXT 和 NEXT 的电压脉冲极性相反。

### 2 三平行传输线串扰模型仿真分析

利用基于 Hyperlynx 信号完整性工具对三平行传输线模型进行串扰仿真,首先给出三平行传输线串扰模型,其原理如图 1 所示。相邻带状传输线的线宽设置为 0.147 mm、线间距设置为 0.203 2 mm,传输线耦合长度设置为 76.2 mm, FR-4 介质厚度设置为 0.254 mm,介质常数设置为 4.3。外侧的两个带状传输线设置为攻击线 (aggressors), 中间的带状传输线设置为受害线 (victim), 为了使攻击线 1 驱动端 U(A0) 在仿真时与攻击线 2 驱动端 U(A2) 的波形不至于重叠, U(A0) 采用 CMOS 工艺的 IBIS 模型,类型为 CMOS 3.3V ULTRA-FAST;为受害线指派一个静态驱动器,使其接收端 U(A1) 在仿真中保持不变的低电平,将 U(A1) 设置成 stuck down, 其余驱动端均采用 CMOS 工艺的 IBIS 模型,类型指定为 CMOS 3.3V-FAST。

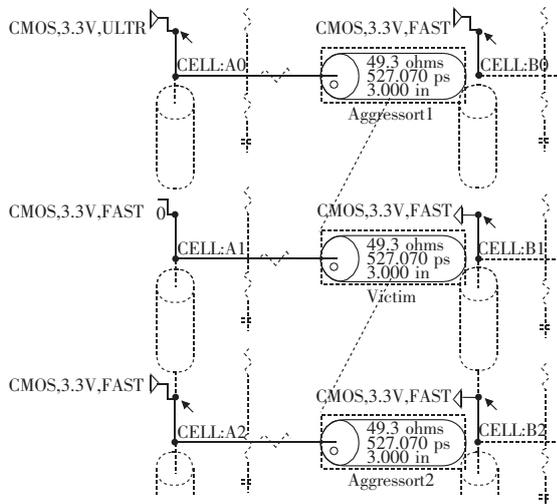


图 1 三平行传输线串扰模型原理

仿真时,布局布线前信号完整性分析工具通过几何图形方式将输入的几何数据转换为波形参数,其基本仿真波形如图 2 所示。在图 2 的串扰电压仿真波形中可以看到,近端串扰的波形基本上没有太大的噪声,这是因为受害线的驱动端通过低阻抗的 CMOS 驱动器钳制于低电平,而远端串扰的波形扰动非常大。因此可以得出结论,受害线接收端产生的远端串扰噪声非常大,这样的设计显然不符合要求<sup>[8]</sup>。下面通过调整三平行传输线模型的传输线间距、介质层厚度等相关参数来抑制近端串扰噪声,使其符合设计规范要求。

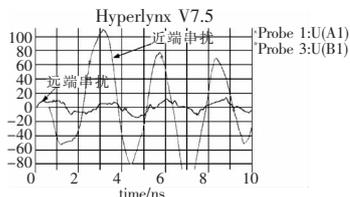


图 2 基本仿真波形

#### 2.1 平行传输线间距对串扰的影响

由于近端串扰和远端串扰依赖于电容耦合和电感耦合,并

且与平行传输线间距成反比,减小三平行线传输模型中受害线接收端串扰的一个明显的办法就是增加平行传输线之间的间距<sup>[9]</sup>。编辑耦合域,增加平行带状传输线间距从 0.203 2 mm ~ 0.406 4 mm,其串扰电压波形如图 3 所示。通过比较,平行传输线间距为 0.203 2 mm 时,受害线接收端串扰电压峰值最大为 382.6 mV,平行传输线间距为 0.406 4 mm 时,受害线接收端串扰电压峰值最大为 105.2 mV。可以看出,在增加 PCB 板级平行传输线间距之后,受害线接收端串扰有明显改善。

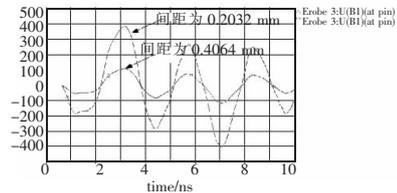


图 3 不同间距下的串扰电压波形

#### 2.2 介质层厚度对串扰的影响

通过理论分析,减小介质层厚度也可以减小串扰。图 4 为三线传输模型的 PCB 叠层设置,顶层设置为微带线,介电常数  $\epsilon_r$  为 3.3,介质厚度为 0.012 7 mm; PCB 板一共六层,信号层放置在 InnerSignal1 层 (第 3 层) 和 InnerSignal2 层 (第 4 层),传输线类型为带状线,驱动采用 CMOS 工艺的 IBIS 模型,类型为 CMOS 3.3V ULTRA-FAST。

Layer Name	Type	Usage	Thickness mils.oz	Technology	Er
1	Dielectric	Solder Mask	0.5		3.3
2	TOP	Metal	0.5	(Auto)	(Auto)
3	Dielectric	Signal	13.05	Prepreg	4.3
4	VCC	Metal	1	(Auto)	4.3
5	Dielectric	Substrate	10	Prepreg	4.3
6	InnerSignal1	Metal	0.5	(Auto)	4.3
7	Dielectric	Substrate	10	Prepreg	4.3
8	InnerSignal2	Metal	0.5	(Auto)	4.3
9	Dielectric	Substrate	10	Prepreg	4.3
10	GND	Metal	1	(Auto)	4.3
11	Dielectric	Substrate	13.05	Prepreg	4.3
12	BOTTOM	Metal	0.5	(Auto)	4.3
13	Dielectric	Solder Mask	0.5		3.3

图 4 三平行传输线串扰模型 PCB 叠层设置

通过调整 PCB 的叠层结构参数来改变对受害线接收端串扰的影响。编辑 PCB 叠层,减小参考层与内信号层的间距,将图 4 InnerSignal1 层 (第 3 层) 和 InnerSignal2 层 (第 4 层) 介质厚度由 0.254 mm 改为 0.127 mm,重新仿真。其不同介质厚度下的串扰电压波形如图 5 所示。通过比较,介质厚度 0.254 mm 时,受害线接收端串扰电压峰值最大为 421.2 mV;介质厚度 0.127 mm 时,受害线接收端串扰电压峰值最大为 102.6 mV。可以看出,在减小介质层厚度之后,受害线接收端串扰明显减小。

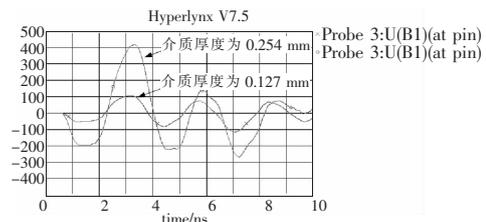


图 5 不同介质厚度下的串扰电压波形

#### 2.3 端接匹配控制串扰噪声

根据近端串扰和远端串扰的形成机理,也可以通过端接匹配电路来控制串扰噪声幅度<sup>[10]</sup>。通过在发送端和接收端附加一些电路,使传输线的近端和远端终端阻抗与传输线匹配,可

大大减小近端串扰和远端串扰。串联端接匹配模型如图 6 所示。在三平行线传输模型的两根攻击线的驱动端串联端接两个  $49\ \Omega$  的电阻,对两根带状传输线进行端接匹配。仿真结果显示耦合串扰噪声得到明显控制,端接前受害线接收端串扰电压峰值最大为  $426.2\ \text{mV}$ ,端接后受害线接收端串扰电压峰值最大为  $160.5\ \text{mV}$ 。

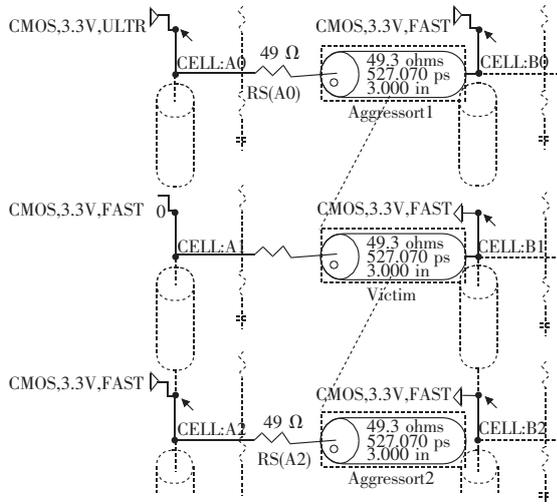


图 6 串联端接匹配模型

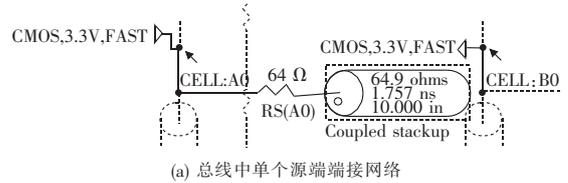
### 3 多条攻击线的串扰仿真分析

在高速串行互连总线结构中,将出现多条攻击线耦合到一条受害线上的情况,它能使高速串行互连总线在数据传输时出现阻抗和延迟过于依赖数据模式的现象,从而影响高速串行互连总线的性能。因此,在高速串行互连总线结构设计中必须考虑多条攻击线同时攻击时产生的串扰耦合噪声<sup>[11]</sup>。

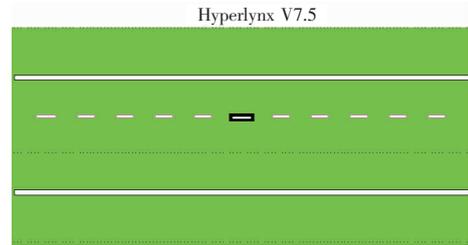
Hyperlynx 软件的仿真功能可以让用户在任何的 LineSim 原理图中增加耦合信息,在原理图中可以定义任何数量的耦合域(coupling region),而且任何一根传输线可以被增加到一个耦合域中去。一旦传输线被定义为一个耦合域,域中的各属性以及长度等可以被定义,以便精确地设置需要仿真的条件。图 7 给出了总线电路模型,此总线结构中有 11 条平行带状传输线。其中:(a)为单个带状传输线的源端端接网络,传输线耦合长度设置为  $254\ \text{mm}$ ,为屏蔽驱动端的串扰噪声而在源端端接了  $64\ \Omega$  的匹配电阻;(b)为 11 条耦合传输线的横截面示意图,最中间的带状传输线为一条受害线,且两边各五条攻击线,每条传输线都带有源串联端接和远端接收器。此高速串行互连总线结构模型中均使用线宽和间距为  $0.2032\ \text{mm}$  的  $64\ \Omega$  的带状线,其长度为  $254\ \text{mm}$ ,传输线上的信号速度为  $0.1524\ \text{mm}$ 。

在 Hyperlynx 7.5 软件仿真环境下改变各条攻击线驱动端的激励信号源开关状态,分别模拟 1、2、4 和 10 条相邻攻击线同时发射信号脉冲时的具体情况。不同条数攻击线驱动端激励信号源打开后,受害线的接收端串扰电压波形如图 8 所示。从(a)中可以得出结论,2 条相邻的攻击线同时发射信号脉冲时受害线接收端串扰电压噪声约为 1 条攻击线发射信号脉冲时的两倍;从(b)(c)中可以得出结论,当 2 条和 4 条以及 4 条和 10 条相邻攻击线同时发射信号脉冲时,相应地,受害线接收端串扰电压噪声变化越来越小,而当 4 条和 10 条同时发射信

号脉冲进行比较时,耦合噪声已经基本不变了。由此可知,在高速串行互连总线模型中,随着平行传输线之间间距的增大,耦合噪声会迅速下降,而在实际工程设计中,相对于与受害线直接相邻的攻击线产生的串扰噪声,距离受害线较远(相邻 4 条以外)的那些攻击线产生的噪声可以不考虑其影响。

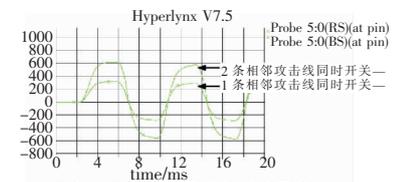


(a) 总线中单个源端端接网络

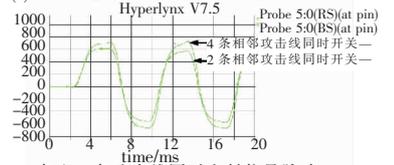


(b) 11 条耦合传输线的横截面

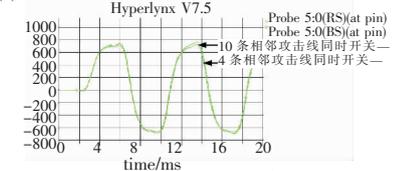
图 7 总线电路模型



(a) 1 条和 2 条攻击线同时发射信号脉冲



(b) 2 条和 4 条攻击线同时发射信号脉冲



(c) 4 条和 10 条攻击线同时发射信号脉冲

图 8 多条相邻攻击线同时发射信号脉冲时的仿真图

### 4 结束语

在多导线系统中,过多的传输线间的串扰会降低信号完整性并导致噪声裕量变小,严重影响高速串行互连总线结构中高速信号的传输性能<sup>[12]</sup>。本文采用 Mentor Graphics 公司的信号完整性工具 Hyperlynx V7.5 软件,针对高速互连总线结构中的多平行传输线间串扰噪声进行了研究,建立了三平行传输线串扰模型和总线电路模型,重点分析了总线电路模型中减少串扰噪声干扰的方法。仿真结果验证了改变传输线间距、介质层厚度和端接匹配对串扰噪声的控制效果,得到的控制受害线上串扰耦合噪声的具体研究成果,为高速串行互连总线结构的物理电路设计与抗干扰研究提供了有价值的参考依据。

#### 参考文献:

[1] 吴昊,陈少昌,王杰玉. 高速数字系统的串扰问题分析[J]. 现代电子技术,2009,32(1):170-173. (下转第 3734 页)

$fs = 12$ ,具体仿真结果如图4、5所示。

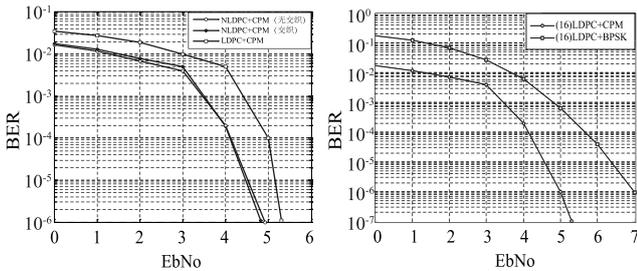


图4 编码方式对系统性能影响 图5 调制方式对系统性能影响

图4为本文提出的NLDPC-CPM和文献中二元LDPC-CPM以及采用交织方式的多进制LDPC-CPM的性能比较,从图中可以看出,在衰落信道下,CPM与GF(2<sup>4</sup>)LDPC码级联的性能明显好于与GF(2)LDPC码的性能,进入瀑布区后,相同误码层面上性能相差约1dB;尽管删减了交织环节,NLDPC-CPM的良好误码性能并没有损失。

图5为NLDPC-CPM与NLDPC-BPSK的性能比较,从图中可以看出,NLDPC-CPM结构的性能优于NLDPC-BPSK结构。LDPC-CPM采用了相当于Forney模型的两级译码方式,为系统带来了编码增益。NLDPC-CPM在3dB时误码率急降,进入瀑布区,3~5dB误码性能随信噪比增加迅速提升。仿真证明,当采用多进制编码和高阶调制级联系统时,系统误码性能会有所提升。其他条件不变,修改调制指数 $h(h = m/p)$ ,仿真结果如图6所示。

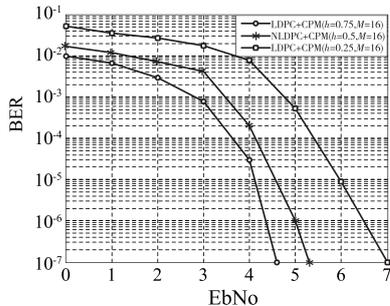


图6 不同调制指数下NLDPC-CPM系统性能

从图6中可以看出,NLDPC-CPM译码性能随调制指数增大而提高。理论上增大调制指数 $h$ 会使CPM调制波形具有更好的相关性,从而为译码器提供更准确的软信息,仿真结果与理论分析一致。在10<sup>-5</sup>的误码层面上,调制指数的增加带来了约1dB的增益,增益随信噪比增加呈逐渐提升趋势。

### 4 结束语

多进制LDPC码的误比特率性能和抗突发错误能力略优

于二进制LDPC码,高阶CPM调制和低阶调制相比,复杂度增加,但数据传输速率和解调性能有较大提升。研究了误码性能良好的级联系统,将多进制LDPC码和高阶CPM调制技术作同阶串行结合,理论分析与仿真结果表明,提出的级联系统具有较好的编码增益,复杂度较低,便于在数据链系统中的实用化。考虑到关联长度 $L$ 和调制阶数 $M$ 的增大会造成CPM软译码的复杂度呈指数增长,而调整 $h$ 可以几乎不增加CPM的复杂度,实际应用中可通过调整系统 $h$ 参数来提升其在地空数据链中性能。

### 参考文献:

- [1] MACKAY D J C, NEAL R M. Near shannon limit performance of low density parity check codes [J]. *Electronics Letter*, 1997, 33 (6) : 457-458.
- [2] GULAT I V, NARAYANAN K R. Concatenated codes for fading channels based on recursive space-time trellis codes [J]. *IEEE Trans on Wireless Communications*, 2003, 2 (1) : 118-128.
- [3] FOSSOREIR M P C. Quasi-cyclic, low-density parity-check codes from circulant permutation matrices [J]. *IEEE Trans on Information Theory*, 2004, 50 (8) : 1788-1793.
- [4] BURSHEIN D. Iterative approximate linear programming decoding of LDPC codes with linear complexity [J]. *IEEE Trans on Information Theory*, 2009, 11 (55) : 4835-4859.
- [5] HASSANI S, HAMON M. A comparison study of binary and non-binary LDPC codes decoding [C] // Proc of the 19th International Conference on Software, Telecommunications and Computer Networks. 2010:355-359.
- [6] WEIYI T, SHWEDYK E. A quasi-optimum receiver for continuous phase modulation [J]. *IEEE Trans on Communication*, 2000, 48 (7) : 1087-1090.
- [7] 李震宇, 柏鹏, 彭卫东, 等. 基于LDPC编码的CPM调制系统设计与分析 [J]. *电子技术应用*, 2011, 37 (12) : 110-113.
- [8] 包建荣, 詹亚锋, 陆建华. 高效联合LDPC编码递归MSK调制 [J]. *清华大学学报:自然科学版*, 2010, 50 (1) : 104-107.
- [9] XIAO Ming, AULIN T. Serially concatenated continuous phase modulation with convolutional codes over rings [J]. *IEEE Trans on Communications*, 2006, 54 (8) : 1387-1396.
- [10] 史可显. 基于CPM和LDPC码的级联系统设计与实现 [D]. 上海: 上海交通大学, 2011.
- [11] ERIC H K. Viterbi sequences and polytopes [J]. *Journal of Symbolic Computation*, 2006, 41 (2) : 151-163.
- [12] SUN Fei, ZHANG Tong. Low-power state-parallel relaxed adaptive viterbi decoder [J]. *IEEE Trans on Circuits and Systems*, 2007, 54 (5) : 1060-1068.
- [13] GOUPIL A, COLAS M, GELLE G, et al. FFT-based decoding of general codes over abelian groups [J]. *IEEE Trans on Communications*, 2007, 55 (4) : 644-649.

(上接第3731页)

- [2] 谭力, 苏钢, 朱光喜, 等. 多天线系统中的高速串行互联总线的信号完整性 [J]. *计算机与数字工程*, 2008, 36 (9) : 44-46, 131.
- [3] ZHANG Jing, ZHANG Ming. The analysis suppression strategies of crosstalk in high speed circuit design [C] // Proc of International Conference on Mechanical Engineering and Automation. 2012:400-406.
- [4] 李莉, 李卫兵, 王学刚, 等. 二平行传输线间的串扰分析 [J]. *电波科学学报*, 2001, 16 (2) : 271-275.
- [5] 杨华, 陈少昌, 朱凤波. 高速数字电路PCB中串扰问题的研究与仿真 [J]. *光电与控制*, 2012, 19 (3) : 90-94.
- [6] 刘学观, 江盼盼, 郭辉萍, 等. 高速数字信号在PCB中的传输特性分析 [J]. *电波科学学报*, 2009, 24 (3) : 498-500, 517.

- [7] 蒋冬初, 李玉山. 高速PCB中微带线的串扰分析 [J]. *海南大学学报:自然科学版*, 2009, 27 (2) : 160-163.
- [8] 陈伟, 黄秋元, 周鹏. 高速电路信号完整性分析与设计 [M]. 北京: 电子工业出版社, 2009.
- [9] 杜廷辉, 丁君, 郭陈江. PCB传输线间串扰抑制方法分析 [J]. *计算机仿真*, 2010, 27 (9) : 323-327.
- [10] 丁立涛, 初秀琴, 范欣. 端接方式对改善高速电路串扰的分析研究 [J]. *电子科技*, 2011, 24 (3) : 40-43.
- [11] 唐熊. 总线结构的高速电路设计与信号完整性分析 [D]. 南京: 南京航空航天大学, 2009.
- [12] 丁同浩, 李玉山, 张伟, 等. 非理想互连的传输线模型及串扰分析 [J]. *西安电子科技大学学报:自然科学版*, 2010, 37 (4) : 694-699.