

支持双拓扑结构的片上网络评估高层仿真平台^{*}

胡婧瑾¹, 潘 赞^{1†}, 严晓浪¹, MOTTEN Andy², CLAESEN Luc²

(1. 浙江大学 超大规模集成电路设计研究所, 杭州 310027; 2. 哈撒尔特大学 信息技术 EDM, 比利时 哈撒尔特 3590)

摘 要: 为实现高效的 NoC(片上网络)性能评估,缩短系统芯片的开发周期,针对时钟精确级的 NoC 仿真方法进行研究,提出了一种新型的高层次、高效率仿真平台,与仅支持网格拓扑结构的传统仿真器相比,其创新地支持了网格和环型双拓扑结构的性能评估,同时支持虚通道扩展的路由器结构设计,能快速得到网络的延迟、吞吐率、功耗等性能结果。实验结果表明,该仿真平台能准确模拟 NoC 功能行为,快速获得其仿真性能,为 NoC 设计验证提供了高效的方法。

关键词: 片上网络;性能评估;高层仿真;环型拓扑;网格拓扑

中图分类号: TP393 **文献标志码:** A **文章编号:** 1001-3695(2013)09-2827-04

doi:10.3969/j.issn.1001-3695.2013.09.068

Two-topology based high-level simulation platform for NoC performance evaluation

HU Jing-jin¹, PAN Yun^{1†}, YAN Xiao-lang¹, MOTTEN Andy², CLAESEN Luc²

(1. Institute of VLSI Design, Zhejiang University, Hangzhou 310027, China; 2. Information Technology-EDM, University Hasselt, Hasselt 3590, Belgium)

Abstract: Aiming at realizing efficient performance evaluation of NoC, and reducing SoC (system-on-chip) development period, this paper proposed a new high-level, high-efficiency, cycle-accurate NoC simulation platform. Different from conventional tools, it supported evaluation for both 2D mesh and ring topologies and virtual channel extension in router structure design. It efficiently gave performance results, including average latency, throughput and energy consumption. Experimental results demonstrate that this simulation platform can simulate NoC behavior and obtain performance evaluation results, which provides high-efficiency verification method for NoC design and optimization.

Key words: network-on-chip(NoC); performance evaluation; high-level simulation; ring topology; 2D mesh

随着并行计算复杂度的不断提升与片上 IP(intellectual property)数量的急剧增长,系统芯片(system-on-chip, SoC)设计在片上通信结构与性能评估方面体现出强烈需求。新兴的片上通信技术——片上网络(network-on-chip, NoC)因具有强大的并行处理能力与灵活高效的通信架构而成为了研究热点。但当今 NoC 的研究面临着诸多瓶颈^[1],研究者需要对 NoC 架构进行性能评估,以求设计创新与优化,而传统的时钟精确级建模仿真方法抽象层次较低,涉及过多底层细节,导致开发周期过长,因此高层次的 NoC 性能分析工具十分必要。目前常见的高层次时钟精确级网络仿真工具中,有些仅支持规则的网格型拓扑结构,如 NIRGAM^[2]、RTNoC^[3]、Worm-sim^[4]等,其适用架构受到限制;有些不支持虚通道技术,难以对路由器结构进行扩展,如 OPNEC-Sim^[5]、NS-2^[6]、NNSE^[7]等,无法满足 NoC 架构的扩展性与可移植性需求。

本文以拓展适用范围、提高 NoC 性能评估效率为目标,提出一种高层次时钟精确级的 NoC 性能评估仿真平台,支持网格和环型两种拓扑结构的 NoC 仿真,克服了传统仿真器单一

拓扑结构的局限性;采用事务级建模(transaction-level modeling, TLM)^[8]与高层软件抽象方法构建,在保证可靠性的同时,提高了仿真效率;同时面向路由器结构扩展了虚通道技术,支持不同数目和深度的虚通道配置,为 NoC 设计者拓宽了探索空间。

1 高层次仿真平台架构

本文提出的高层次 NoC 性能评估仿真平台,其组织结构如图 1 所示。针对封闭独立的传统 NoC 仿真器进行扩展,面向 NoC 系统构建统一组件集,作为基础仿真构件,结合配置场景可生成仿真模型,进而加载仿真时间轴与性能评估模块进行仿真,最终获得仿真结果。

1.1 NoC 仿真模型组件集

通过模拟 NoC 系统功能构建统一的仿真模型组件集,可打破不同架构 NoC 仿真平台相互封闭独立的状态,并在不同 NoC 架构之间复用仿真模型组件与性能评估平台。同时,由于 RTL 抽象层次的 NoC 模型较为底层,若直接用其构建 NoC 仿

收稿日期: 2013-01-23; **修回日期:** 2013-03-11 **基金项目:** 国家自然科学基金资助项目(61204030);浙江省自然科学基金资助项目(LQ12F04002)

作者简介: 胡婧瑾(1987-),女,浙江舟山人,硕士,主要研究方向为片上网络;潘赞(1980-),男(通信作者),浙江杭州人,副教授,博导,博士,主要研究方向为 MPSoC 体系结构与片上网络、系统芯片设计(panyun@vlsi.zju.edu.cn);严晓浪(1946-),男,浙江杭州人,教授,博导,主要研究方向为超大规模集成电路设计;MOTTEN Andy(1986-),男,比利时人,博士研究生,主要研究方向为数字媒体技术;CLAESEN Luc(1968-),男,比利时人,教授,主要研究方向为数字媒体技术。

真平台,会严重影响仿真速度和效率,故需要提升抽象层次,以加快仿真速度,提高性能评估效率。

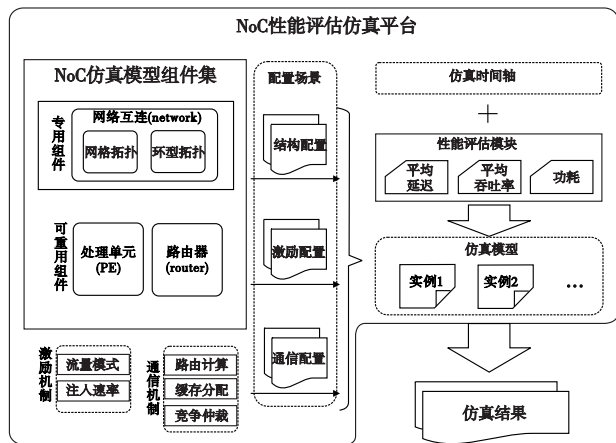


图1 仿真平台的组织结构

基于上述分析,本文提出了一种新型 NoC 仿真平台的高层次抽象建模方法,采用 TLM 方法在网络层构建仿真模型,搭建 NoC 仿真模型组件集,其中包括可重用组件与专用组件两个相互分离、独立的部分,大幅提高了代码可重用性。

NoC 仿真模型组件集中,可重用组件是核心部分,一方面,它建立了 NoC 中网络节点的硬件结构仿真模型,定义了单个网络节点(tile)中,处理单元(processing element, PE)和路由器(router)的框架结构、数据传输和控制信号接口,以及网络节点内部的接口连接方式;另一方面,它连接 NoC 通信机制、仿真激励机制等功能模型,与配置信息相结合,构成一套完备的 NoC 架构设计方案。而专用组件则定义了网络互连方式(network),即网络拓扑结构,将其与可重用组件分离,独立设计并可灵活替换,体现了本仿真平台支持不同架构 NoC 的高度灵活性。

得益于仿真模型组件的高层抽象特性,相比 RTL 级仿真平台,本 NoC 仿真平台具有代码密度低、设计效率高等优点。同时,各模型组件可进行高度参数化配置以支持不同性能评估用例的需求,具有丰富的可配置性(在第2章中详述)。并且,它作为一种 NoC 设计验证方法,在实现过程中支持路由器结构的虚通道技术扩展,具有良好的可移植性和可重用性。

1.2 性能评估模块

本文基于 NoC 仿真模型组件集,针对该仿真平台构建了分类明晰、执行高效的性能评估模块,以获取 NoC 的仿真性能结果。面向 NoC 的通信性能与功耗性能,本文分别设计和实现了网络平均延迟、平均吞吐率和功耗等性能的方案。该性能评估模块采用 C++ 实现,其在仿真过程中能与 NoC 仿真模型实现对接,并具有良好的封装性与灵活性。

该性能评估策略的设计如下所示:

1) 平均延迟

$$\text{latency}_{\text{avg}} = \frac{\sum_{\forall \text{pkt}} \text{latency}_{\text{pkt}}}{\text{num}_{\text{pkt}}} \quad (1)$$

其中: num_{pkt} 是样本数据包总数; $\text{latency}_{\text{pkt}}$ 是其从产生到完成接收的时间延迟,以周期(cycle)为单位。

2) 平均吞吐量^[9]

$$\text{throughput}_{\text{avg}} = \frac{\sum_{\forall j} \text{num}_{\text{nd}} n_{\text{comm}_j} \times \text{throughput}_j}{\text{total}_{\text{comm}}} \quad (2)$$

其中: num_{nd} 为网络中的节点总数; n_{comm_j} 为从源节点 i 到目的节点 j 发生通信的总次数; $\text{total}_{\text{comm}}$ 为网络中每一对源节点到目

的节点发生通信次数的加和; throughput_j 是目的节点 j 的节点吞吐量,即

$$\text{throughput}_j = \sum_{\forall i, i \neq j} \frac{\text{num}_{\text{flit}, ij}}{t_{\text{comm}, ij}} \quad (3)$$

其中: $\text{num}_{\text{flit}, ij}$ 是源节点 i 到目的节点 j 所发送的数据片(flit)总数,数据片是数据传输的最小单元; $t_{\text{comm}, ij}$ 是源节点 i 到目的节点 j 发生通信的总时间,以周期为单位。

3) 功耗

仿真器的功耗性能评估,主要由 NoC 架构中处理单元与路由器两个核心组件的静态与动态功耗构成。其中,静态功耗由上述两种组件在待机状态下所消耗的能量构成;动态功耗是上述组件进行数据通信时所产生的功耗,包括处理单元的输出功耗,路由器中的数据输入、路由计算、缓存选择以及数据输出等。

尽管基于经验参数库的功耗性能评估会因物理设计以及生产工艺而与实际硬件实现的性能结果有所偏差,但此结果仍能在 NoC 前期架构设计阶段为设计者提供高效、合理的参考依据,尤其在不同架构 NoC 功耗的横向比较方面发挥巨大作用。

1.3 仿真时间轴的设计

为统计 NoC 模型的时序信息,本文提出了一套基于 System-C 标准系统时间库的仿真时间轴设计方案,以实现有效的采样策略,并确保性能评估结果准确性的基础上获得较快的仿真速度。例如在第3章实例1中进行单次仿真仅需约30s的物理时间,其耗时相比于传统仿真器大幅缩短。

为获得网络稳定态的性能参数,以保证性能评估的可靠性,本文提出四阶段的仿真时间轴划分:

- 复位阶段。所有控制信号、输入输出接口以及模块内部寄存器被复位。
- 预热阶段。系统开始产生数据包进行通信,但尚未达到当前负载流量下的稳定传输状态,该阶段网络产生的所有数据包都不予采样。
- 测量阶段。当经历足够长时间的预热后,网络中的数据传输已达稳定,能够准确表征该 NoC 架构的性能,因此开始对新注入的数据包采样,获得统计样本。
- 耗尽阶段。测量阶段结束后,样本数据包未被全部接收,故该阶段需继续产生新数据包但不予采样,仅为样本的传输提供稳定的网络环境。

基于 System-C 标准系统时间库的仿真时间轴,采用高层软件语言的函数封装实现,具有高度的平台可移植性,同时也为仿真模型提供了完备的调用接口,为 NoC 高层次时钟精确级仿真技术提供了支持。

2 仿真平台的配置场景

NoC 结构与通信机制的配置是基于 NoC 仿真模型组件集仿真方法的关键。本文提出了基于配置场景的仿真平台参数配置方法。首先,以 NoC 组件与机制的抽象为基础,将其基础配置进行归类,构建三个相互独立的配置模块——结构配置、通信配置、激励配置,有效改善复杂配置参数的针对性、可控性;其次,本文针对通信配置模块建立了功能操作库,采用封装化调用的实现方法,并提供统一化接口与 NoC 仿真模型组件相对接,提高了 NoC 仿真模型的高度参数化可配置性。

1) 结构配置 它是对 NoC 硬件架构的定制化实现。本文提出了自顶而下的层次化配置流程: a) 定制网络拓扑结

构——网格拓扑或环型拓扑,分别支持 2D mesh、torus 类型的网络结构与单环、双环、四环结构的定制;b)配置网络节点的数目,以确定网络规模;c)定义各节点地址并对相应的处理单元、路由器完成配置。

2)通信配置 它是对 NoC 复杂功能行为的定制。本文对 NoC 路由器内部的运行指令进行完整功能意义上的聚合与抽象,建立了功能操作库,以函数封装调用的方法实现 NoC 通信机制。主要包括路由策略、缓存分配策略、竞争仲裁策略三个方面的封装调用。其中,缓存分配支持对一般输入、输出缓存与虚通道的数目、分配方式以及缓存深度等参数的配置,扩大了设计者在路由器结构设计的探索空间;竞争仲裁策略是针对路由器内部资源竞争问题的处理方案,包括输入端口、虚通道输出、交叉开关等处的竞争,通过轮询、固定优先级表以及更复杂的仲裁算法实现。基于功能操作库的配置模块,相比于传统仿真器中较为普遍的单条指令操作实现方式,增强了代码可读性,提高用户自定义设计效率。

3)激励配置 构建了 NoC 仿真模型的运行场景,依次对负载流量模式、各处理单元节点数据包注入速率以及数据包大小等信息进行配置。其中,该仿真平台面向 NoC 的负载流量模式,支持均匀流量模式、热点流量模式以及点对点模式,以体现 NoC 应用层不同的任务映射方案;数据包的大小以数据片为单位,可配置为一个固定数值或在两个数值之间的随机整数。

依托该场景配置方法,NoC 仿真平台可对所需仿真模型进行高度参数化配置,以适应不同 NoC 架构设计的需要,并且在保证 NoC 模型功能完整的前提下,有效改善代码的组织结构,体现了该仿真平台的灵活可配置特性。

3 实验及分析

本文提出的高层次 NoC 性能评估仿真平台能够为 NoC 设计空间的探索优化提供通信、功耗等性能评估结果,为架构设计的优化提供可靠平台。本章基于该平台,针对面向不同架构 NoC 的仿真性能对比和 NoC 的虚通道分配优化策略,这两种应用情景分别进行了仿真实验。

实验平台使用 8 核 CPU、16 GB 内存的 Dell 2950 服务器以及 64 位 Linux 操作系统,gcc 版本为 4.1.2。一次仿真过程中,网络运行 1×10^8 个时钟周期,复位阶段 2 000 个周期,预热阶段 1×10^5 个周期,测量阶段 1×10^6 个周期,剩余为耗尽阶段。为获得较高置信水平,实验中每一个采样点都使用 10 个不同的随机种子进行仿真并取其平均值作为仿真结果。

3.1 不同架构 NoC 的性能对比

得益于对二维网格与环型两种拓扑结构的支持,本文提出的 NoC 性能评估仿真平台为两种不同 NoC 架构的性能对比分析提供了可靠、高效的仿真结果。本节采用基于虚通道的双环架构(double ring)与规则二维网格架构(2D mesh)配置得到两组实例进行仿真与性能评估,具体配置信息如表 1 所示,两种 NoC 及其路由器结构设计如图 2 所示。其中,双环架构 NoC 采用最小跳数路由策略,即数据选择源节点到目的节点跳数较小的传输路径(顺时针或逆时针)传输。

比较两种 NoC 不同负载流量下的通信性能,改变数据包注入速率,得到网络平均延迟与平均吞吐率变化曲线,如图 3 所示。随着注入速率的增大,网络由非饱和状态转变为饱和状态,平均延迟由平缓增加突变为急剧上升,同时平均吞吐率由

线性递增转为趋于水平,该变化临界点对应的注入速率即为网络饱和吞吐率,从图 3 中均可得到。网络平均吞吐率是网络系统及其部件处理传输数据请求能力的量化指标。当网络饱和后,系统达到最大吞吐率,如图 3(b)所示,各 NoC 实例的最大吞吐率依次为 0.120、0.140、0.079、0.124 flit/cycle。为提高仿真所得饱和吞吐率的精度,通过减小数据注入速率变化步长,进一步获得更精确的饱和吞吐率,结果如图 4 所示,可得到各 NoC 实例的饱和吞吐率依次为 0.028、0.034、0.010、0.014 packet/node/cycle。

表 1 两种架构 NoC 仿真模型的参数配置

参数配置	实例	
	实例 1:双环	实例 2:2D mesh
结构配置	拓扑结构	环型拓扑
	环数	2
	NoC 规模	8;16
激励配置	流量模式	均匀流量模式
	注入速率	0 ~ 0.1 包/节点/周期;步长为 0.002
	数据包大小	12 flit
通信配置	路由策略	双向最小跳数
	缓存分配 (输入/虚通道)	虚通道: 深度 4 flit
	竞争仲裁	输入:网络上与本地 PE 轮询 输出:上一周期相同路径传输优先

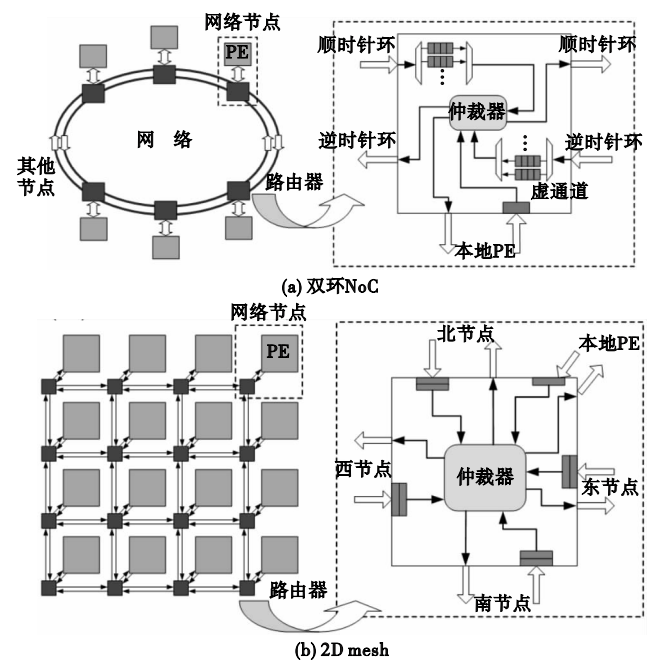


图2 NoC实例结构设计

比较两种 NoC 不同负载流量下的功耗性能,对网络中处理单元、路由器等核心部件的功耗进行累加统计,得到网络功耗随数据注入速率的变化曲线,如图 5 所示。

对于同等规模的上述两种 NoC 架构,2D mesh 在通信性能与功耗性能方面均具有一定优势,而在负载流量较低时,其与双环架构的平均延迟较为接近。该仿真平台为不同 NoC 架构的比较与选择提供了参考依据,然而在实际研究中还需要综合考虑任务映射情形、设计复杂度、通信可靠性等应用需求。

3.2 NoC 的虚通道分配优化

依托路由器结构内部虚通道可扩展的特性,本文 NoC 仿真平台支持对虚通道的数目、分配方式以及深度等进行配置,

为设计者在 NoC 前期开发过程中提供符合既定架构 NoC 应用需求的虚通道设计,对网络性能的优化策略起到指导作用。

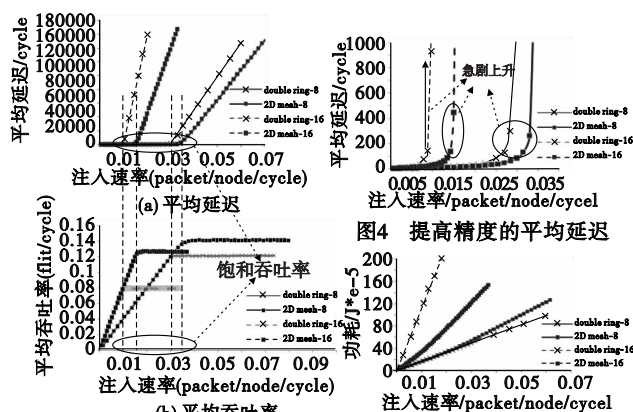


图3 通信性能实验结果

以虚通道深度优化设计为例,以网络平均延迟为衡量标准,改变 NoC 的虚通道深度,获取在不同注入速率下网络的平均延迟变化曲线簇。如图 6 所示的设计用例,8 节点双环 NoC 在注入速率为 0.034 packet/node/cycle 下的平均延迟性能,随虚通道深度由 2 flit 逐步增加至 30 flit 而得到明显改善。在 NoC 的虚通道深度小于 8 flit 时,其平均延迟性能显著提升,从 2 flit 增至 8 flit 时,其降幅高达 99.4%,而从 6 flit 增至 8 flit,其降幅仍可达 76.3%。相比之下,大于 12 flit 的深度增加所带来的性能优化,相对于硬件耗费成本的综合效益较小。基于以上分析,本仿真平台能够为设计者提供合理的虚通道深度取值范围指导,如在图 6 的设计用例中,得到 8~12 flit 的虚通道深度范围,为 NoC 架构设计在虚通道深度方面的优化指明了方向。而在实现过程中,其具体的取值需综合考虑通信性能、功耗、面积、复杂度等 NoC 设计的目标与需求。

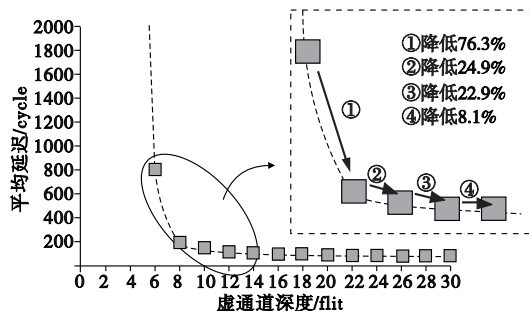


图6 平均延迟随虚通道深度的变化

4 结束语

本文提出了一种高层次抽象的时钟精确级 NoC 性能评估

仿真平台,构建了高度可重用、可配置的 NoC 仿真模型组件集与性能评估模块,提出了模块化配置场景与仿真时间轴设计。该仿真平台支持网格与环型两种拓扑结构,为不同架构 NoC 的通信与功耗性能评估提供了可靠、高效的支撑。并且,该仿真平台支持路由器内部虚通道技术的扩展,能够为面向虚通道深度、分配机制等 NoC 架构的优化研究提供方向性支持,为设计者提供更广阔的设计与优化空间。

参考文献:

- [1] MARULESCU R, OGRAS U Y, PEH L S. Outstanding research problems in NoC design: system, microarchitecture, and circuit perspectives [J]. IEEE Trans on Computer-Aided Design of Integrated Circuits and Systems, 2009, 28(1): 3-21.
- [2] ZHANG Wang, WU Wu-chen, ZUO Lei. The buffer depth analysis of 2-dimension mesh topology network-on-chip with odd-even routing algorithm [C]//Proc of International Conference on Information Engineering and Computer Science. 2009: 1-4.
- [3] LV Ming-song, GUO Ying, GUAN Nan, et al. RTNoC: a simulation tool for real-time communication scheduling on networks-on-chips [C]//Proc of International Conference on Computer Science and Software Engineering. 2008: 102-105.
- [4] HU Jing-cai, MARULESCU R. DyAD-smart routing for networks-on-chip [C]//Proc of the 41st Design Automation Conference. 2004: 260-263.
- [5] CAI Jue-ping, HUANG Gang, WANG Shao-li. OPNEC-Sim: an efficient simulation tool for network-on-chip communication and energy performance analysis [C]//Proc of IEEE International Conference on 10th Solid-State and Integrated Circuit Technology. 2010: 1892-1894.
- [6] ALI M, WELZL M, ADNAN A. Using the NS-2 network simulator for evaluating network on chips (NoC) [C]//Proc of International Conference on Emerging Technologies. 2006: 506-512.
- [7] PAPADOPOULOS L, MAMAGKAKIS S, CATTHOOR F. Application-specific NoC platform design based on system level optimization [C]//Proc of IEEE Computer Society Annual Symposium on ISVLSI. 2007: 311-316.
- [8] CAI L, GAJSKI D. Transaction level modeling: an overview [C]//Proc of the 1st IEEE/ACM/IFIP International Conference on Hardware/Software Codesign and System Synthesis. New York: ACM Press, 2003: 19-24.
- [9] DALLY W J, TOWLES B. Principles and practices of interconnection networks [M]. San Francisco: Morgan Kaufmann Publishers, 2003.
- [10] 桑晓丹, 罗兴国, 陈韬, 等. 片上网络架构感知映射模型研究与改进 [J]. 计算机应用研究, 2011, 28(8): 3094-3096.

(上接第 2826 页)

- [13] SHANG Yi, RUMI W, ZHANG Ying, et al. Localization from connectivity in sensor networks [J]. IEEE Trans on Parallel and Distributed Systems, 2004, 15(11): 961-974.
- [14] TAN Guang, JIANG Hong-bo, ZHANG Sheng-kai, et al. Connectivity-based and anchor free localization in large-scale 2D/3D sensor networks [C]//Proc of ACM MOBIHOC. 2010.
- [15] JIANG Hong-bo, YU Tian-long, TIAN Chen. CONSEL: connectivity-based segmentation in large-scale 2D/3D sensor network [C]//Proc of IEEE INFOCOM. 2012.
- [16] LIU Wen-ping, WANG Dan, JIANG Hong-bo, et al. Approximate convex decomposition based localization in wireless sensor networks

[C]//Proc of IEEE INFOCOM. 2012.

- [17] 刘玉恒, 薄菊华, 赫阳, 等. 无线传感器网络三维自身定位方法 [J]. 北京航空航天大学学报, 2008, 34(6): 647-651.
- [18] ZHAO Yao, WU Hong-yi, JIN Miao, et al. Localization in 3D surface sensor networks: challenges and solutions [C]//Proc of IEEE INFOCOM. 2012: 55-63.
- [19] JIANG Hong-bo, LIU Wen-Ping, WANG Dan, et al. Connectivity-based skeleton extraction in wireless sensor networks [J]. IEEE Trans on Parallel and Distributed Systems, 2010, 21(5): 710-721.
- [20] BIASOTTI S, GIORGI D, SPAGNUOLO M, et al. Reeb graphs for shape analysis and applications [J]. Theoretical Computer Science, 2008, 392(1-3): 5-22.