

一种应用于 SpaceWire 路由器动态部分重构的容错技术*

钟雪燕, 姚睿, 鲍小胜

(南京航空航天大学自动化学院, 南京 210016)

摘要: 为满足航天器有效载荷间高速数据多路传输未来发展和空间抗辐射的需求, 研究了一种应用于 SpaceWire 路由器动态部分重构的容错技术。在 SpaceWire 总线标准网络层分析的基础上, 对 cell 矩阵无阻塞路由增添 HanMing 编码实现纠一检二, 当检测出大于一个错误不能纠正时, 采用局部重构的方式对有误的单个单元进行三重冗余重构, 同时采用 Partition Pin 来代替传统的总线宏作为静态模块和动态模块的传输枢纽, 并对容错前后路由器的资源和延时时间进行了评估和比较。实验结果表明, 比将整个路由 cell 矩阵三模冗余, 该方法能够节约硬件资源和减少延迟时间。

关键词: 三模冗余; 部分重构; SpaceWire 路由器; Partition Pin

中图分类号: TP393 **文献标志码:** A **文章编号:** 1001-3695(2013)03-0703-03

doi:10.3969/j.issn.1001-3695.2013.03.015

Dynamic partial reconfiguration fault-tolerant technology applied in SpaceWire router

ZHONG Xue-yan, YAO Rui, BAO Xiao-sheng

(College of Automation Engineering, Nanjing University of Aeronautics & Astronautics, Nanjing 210016, China)

Abstract: In order to meet the needs of high-speed multiplexing of data in aerospace applications and space radiation, this paper presented a dynamic partial reconfiguration fault-tolerant technology applied in the SpaceWire router. Based on the analysis of SpaceWire bus standard network layer, it added HanMing coding to the cell matrix non-blocking routing to achieve correct one error and detect two errors. If there was more than one error, the single error cell would be reconfigured by triple-modular redundancy, it used which Partition Pin as transmission hub between static modules and dynamic modules instead of bus macro. At last, assessed and compared the resources and time delay of the router before and after the fault-tolerant. The experiment result demonstrates that, compared with three module redundancy for the entire cell matrix, the method can save hardware resource and reduce the delay time.

Key words: triple modular redundancy (TMR); partial reconfiguration; SpaceWire router; Partition Pin

SpaceWire 总线是一种较新的、由欧空局 (ESA) 推出的一种专门面向航天应用的通信标准, 其基于 IEEE1355 和 ANSL/TIA/EIA-644 (low voltage differential signaling)^[1-3] 两种商业标准。它的主要特征是串行、双向全双工、全数字、高速 (200 MHz)、带路由器的拓扑结构。其在航天工业界得到越来越广泛的应用。作为一种专门面向航空应用的总线标准, 对 SpaceWire 路由器的可靠性设计对于整个系统的可靠是非常重要的和必要的。考虑空间应用的极端环境, 特别是高辐射的环境下, 当一个高能粒子 (如离子、中子、质子等) 穿过硅时, 它有可能对器件造成暂时或永久性的损坏。其中, 典型的是单粒子翻转效应 (SEU), 高性能、高密度的 SRAM 型的 FPGA 极易受单粒子翻转的影响, 而使路由器传输产生错误, 造成功能的失效。为解决这个问题, 很多抗辐射的设计技术应用于电路设计的各个层次, 本文主要研究了一种应用于 SpaceWire 路由器的容错

技术, 以解决空间应用中单粒子翻转干扰。

1 路由器接口容错机制

SpaceWire 接口^[4,5]的结构如图 1 所示, 接口的错误处理机制功能主要由 State Machine 模块来处理, 状态机规定了六种状态: ErrorReset、ErrorWait、Ready、Started、Connecting、Run。一旦发生某个错误, 状态就会回到 ErrorReset 状态, 使接口重启; 同时在数据发送出去前即在 Transmitter 模块中对要发送的数据进行奇偶校验编码; Receiver 模块则对接收到的数据进行奇偶校验来降低数据传输的错误率。在接口与接口传输过程中发生错误即错误发生在 Run 状态时, 首先两个接口断开链接, 同时接收接口在接收数据后插入 EEP (error end of packet) 字符, 将其丢弃, 发送接口将该未发送完的数据包也丢弃, 最后重新建立链路。

收稿日期: 2012-07-02; **修回日期:** 2012-08-30 **基金项目:** 国家自然科学基金资助项目 (60871009); 南京航空航天大学基本科研业务费专项科研基金资助项目 (NN2012088)

作者简介: 钟雪燕 (1987-), 女, 硕士研究生, 主要研究方向为计算机测控系统 (zhongxueyan1987@163.com); 姚睿 (1974-), 女, 副教授, 硕士, 主要研究方向为计算机测控技术、智能电路与仿生硬件、智能信息处理; 鲍小胜 (1988-), 男, 硕士研究生, 主要研究方向为计算机测控系统。

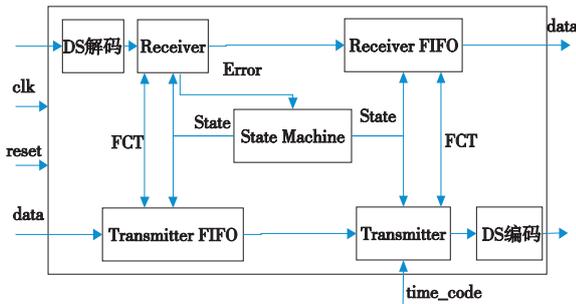


图1 SpaceWire接口模块

2 路由器的整体结构

SpaceWire 路由器采用了虫孔路由^[1-3,6]形式,与一个完整的数据包在被路由器发送前被接收并存储的早期技术相比,削减了在每个路由器内使用的缓冲器数量,减少了硬件开销,降低了数据包传输延时,为此设计了基于虫孔路由的基本逻辑裁决单元 cell 矩阵的路由。图 2 所示是包含四个端口的路由器,接口接收完数据完成地址识别后,需要选择传输路径,即在 cell 矩阵中挑选一个 cell(每个 cell 代表的是一条传输路径)。

在 SpaceWire 接口中采用了数据奇偶校验的方法来判断传输中的数据是否发生错误,并进行相应的容错机制。路由器设计中存在很多防辐射容错方法,如路由器 IP 宏单元^[7,8]、动态重构方法^[9,11]以及路由器中每种存储单元的冗余容错方法^[12,13],但相应地存在着弊端,冗余容错会占用大量的硬件资源,动态重构实现较复杂。基于这些方法,本文提出了 Han-Ming 编码的方式对路由器中传输的数据进行纠一检二。当数据发生错误时,将相应的传输路径 cell 用三重冗余模块重构的方法,实现数据的正确传输。

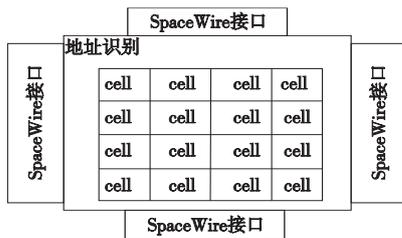


图2 路由器物理结构

3 SpaceWire 路由器的容错

3.1 HanMing 码检错纠错

本文设计了一个拓展的纠一检二的 HanMing 编码应用在路由器中。SpaceWire 接口接收的数据是 9 位宽的,包括 8 位数据位和 1 位标志位,HanMing 码的编/解码器分别加在 cell 传输路径的两端,编码器从接收器接收 9 位数据后,加入了 4 位奇偶校验位,转换为 13 位的 HanMing 码,该 HanMing 码的 HanMing 距离是 4。解码器的工作与编码器相反。

Cell 矩阵的 EDAC(error detect and correction)结构如图 3 所示。

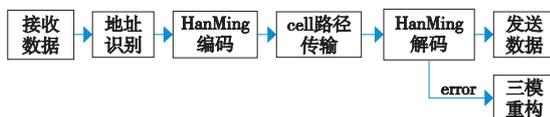


图3 Cell矩阵的EDAC结构

HanMing 码是能够纠正单个随机错误的线性分组码,在 (13,9) 分组码中,假定输入码字为 $d = [d_8, d_7, d_6, d_5, d_4, d_3,$

$d_2, d_1, d_0]$, 输出码字为 $u = [u_{12}, u_{11}, u_{10}, u_9, u_8, u_7, u_6, u_5, u_4, u_3, u_2, u_1, u_0]$, 其中 $S = [u_3, u_2, u_1, u_0]$ 是监督码,根据生成公式

$$u = d \cdot G \tag{1}$$

$$G = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 1 & 1 \\ 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 0 & 1 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 1 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 0 \end{bmatrix}$$

解码器的实现逻辑比编码器要复杂,当解码器接收到 13 位数据后,会对校验位和数据位进行偶校验。当只有 1 位数据发生翻转时,该数据会被纠正过来而不输出报错信号;当大于 1 位时,会输出该传输路径 cell 的报错信号,对该 cell 进行三重冗余重构,同时将该数据丢弃。假定监督矩阵为 H ,根据式子

$$H \cdot u^T = 0^T \tag{2}$$

$$H = \begin{bmatrix} 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 1 \\ 0 & 0 & 1 & 0 & 0 & 1 & 1 & 1 & 0 & 0 & 0 & 1 & 1 \\ 0 & 1 & 0 & 0 & 1 & 0 & 1 & 1 & 0 & 1 & 1 & 0 & 0 \\ 1 & 0 & 0 & 0 & 1 & 1 & 0 & 1 & 1 & 0 & 1 & 0 & 1 \end{bmatrix}$$

3.2 Cell 单元三模冗余重构

当接收到 HanMing 译码器给出的报错信号后,出错的 cell 路径单元进行动态三重冗余重构,同时保持其他的逻辑电路不变。三重冗余技术通过对三个相同的输出模块进行投票表决来决定系统的输出,可以容忍一个模块电路出现故障而不影响系统的正常工作,而两个模块同时出错的概率非常低,因而,三模冗余技术对提高系统的可靠性具有重要意义。但如果整个 cell 矩阵都用三模冗余技术,无疑会增加系统的硬件开销,同时也会使系统延时加大。

3.2.1 Partition Pin

在整个路由器系统中,包括不需要改变的静态模块和需要重构的动态模块,总线宏是这两种模块之间的通信枢纽,但添加总线宏会增加系统资源的消耗,因而本文使用 Partition Pin 来实现静态模块和动态模块之间的传输,同样的 Partition Pin 只能是单向输入或是输出。图 4 所示 1 是输入的 Partition Pin, 2 是输出的 Partition Pin,A 是传递给 Partition Pin1 的静态区域输入,B 是 Partition Pin1 的重构输出,C 是 Partition Pin2 的重构输入,D 是 Partition Pin2 的静态输出。

在整个实现过程中,首先将 cell 单元定义为重构模块,然后用 PIN-TPSYNC 约束对 Partition Pin 的输入、输出属性定义,其形式为 PIN “Partition_name. port. name” TPSYNC = group_RP_input/output。以下是对 cell 单元的重构模块和部分 Partition Pin 的定义实例:

```
INST "cell" AREA_GROUP = "reconfig_cell";
AREA_GROUP "reconfig_cell" RANGE = SLICE_X2Y0;SLICE_X43Y157;重构模块定义
```

```
PIN "cell. clk" TPSYNC = reconfig_cell_PP_input; Partition Pin 输入定义
```

```
PIN "cell. connected" TPSYNC = reconfig_cell_PP_output; Partition Pin 输出定义
```

```
同时还需要对 Partition Pin 的输入输出作时间上的约束:
TIMESPEC TS_from_static_to_cell_input = TO "reconfig_cell_PP_in-
```

put” 4.5ns;

TIMESPEC TS_from_cell_output_to_static = FROM “reconfig_cell_PP_output” 4.5ns;

3.2.2 三模冗余技术

动态重构部分是用三模冗余的 cell 来替换原来的 cell 单元^[14,15],是最常用的一种容错设计技术。三个模块同时执行相同的操作,以多数相同的输出作为表决系统的正确输出,通常称为三取二;三个模块中只要不同时出现两个相同的错误,就能掩蔽掉故障模块的错误,保证系统正确地输出。由于三个模块是互相独立的,两个模块同时出现错误是极小概率事件,故可以大大提高系统的可信性。三模冗余的实现很容易理解:将该条路径的 cell 单元备份三份,同时给予相同的输入,在其输出端加入一表决器,表决器通过三个输出之间两两相与之后再相或得到输出。表决器的实现如图5所示。

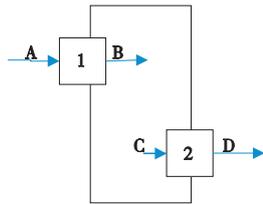


图4 Partition Pin的路径

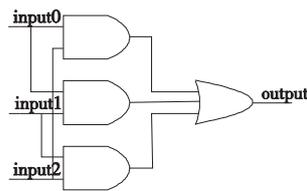


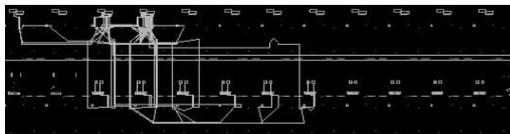
图5 三模冗余表决器

4 路由器容错设计的实现和评估

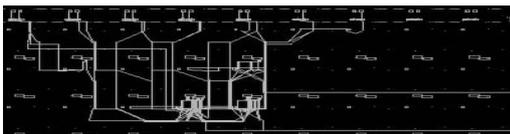
整个容错系统的设计是在 Xilinx 的 Virtex 5 开发板上实现的,该型号开发板支持部分动态重构;软件上采用了较稳定成熟的 ISE12.4 版本,通过综合布局布线后,生成比特流文件下载到开发板中。

4.1 Cell 单元和三模冗余重构后 cell 的比较

图6所示是 cell 单元重构前后的布局布线图。从图中可以看到,重构前后布局布线发生了变化,重构后 cell 占用的资源更多;重构前的 cell 时间延时是 1.712 ns,重构后的延时是 1.719 ns。有了滞后,但相对整个路由矩阵三模重构延时会小很多。



(a) 重构前



(b) 重构后

图6 重构前后cell单元的比较

4.2 Cell 单元容错前后对比和评估

表1所示是容错前后路由的硬件资源消耗和延迟时间的对比,从数据中可以知道容错后延迟时间增长,硬件开销变大,但相对容错之前的路由,变化和影响不是很明显,延迟时间增加9%左右,硬件寄存器的开销稍大些,slice 只增加4%不到。

表1 容错前后路由对比

类型	延迟时间/ns	slice register	LUT	slice
容错前路由	1.729	108	416	218
容错后路由	1.745	160	504	226

5 结束语

所有容错设计的基本思想就是冗余,包括硬件冗余、信息冗余和时间冗余。所有这些冗余都会带来资源和性能上的损耗,某项容错技术功能越强大,就会造成资源和面积越大的损耗。因而在可靠性与损耗之间平衡就显得很重要,需要认真考虑。对于本文工作中的 SpaceWire 路由器电路,其特点是简单、高速和对高可靠性的要求,需要关注的是性能、延时和可靠性的平衡。因而,对于整个路由器的 cell 矩阵采用了纠一检二的 HanMing 编码方式,当 HanMing 码不能纠错时,直接对该 cell 单元进行三模冗余的重构,实现硬件资源的节约和延迟时间的减少,该容错方式对空间 SEU 影响有一定的研究意义。

参考文献:

- [1] ECSS. Space Engineering: SpaceWire-Links, nodes, routers and networks (ECSS-E-50-12A) [S].
- [2] ECSS. Space Engineering: SpaceWire-Links, nodes, routers and networks (ECSS-E-ST-50-12C) [S].
- [3] MAO Chun-jing, GUAN Yong, ZHANG Jie. On-board spacewire router for space mission[C]//Proc of Asia-Pacific Conference on Information Processing. 2009;525-528
- [4] 陈健飞. SpaceWire 路由器 IP 核的设计与实现[D]. 北京:中国科学院空间科学与应用研究中心,2010.
- [5] OSTERLOH B. SoCWire user manuel [EB/OL]. (2009). http://www.socwire.org.
- [6] SAPONARA S, L'INSALATA N E, BACCHILLONE T, et al. Hardware/Software FPGA-based network emulator for high-speed on-board communications[C]//Proc of the 11th EUROMICRO Conference on Digital System Design Architectures, Methods and Tools. 2008;353-359.
- [7] TONRELLI M, PETRI E, SAPONARA S, et al. Router IP macrocell for radiation tolerant SpaceWire networking[C]//Proc of Research in Microelectronics and Electronics. 2006;221-224
- [8] SAPONARA S, FANUCCI L, TONAREFLI M. Radiation tolerant spacewire router for satellite on-board networking [J]. Aerospace and Electronic Systems Magazine, 2007, 22(5):3-12.
- [9] OSTERLOH B, MICHALIK H, HABINC S A, et al. Dynamic partial reconfiguration in space applications[C]//Proc of NASA/ESA Conference on Adaptive Hardware and Systems. 2009;336-343.
- [10] OSTERLOH B, MICHALIK H, FIETHE B, et al. Architecture verification of the SoCWire NoC approach for safe dynamic partial reconfiguration in space applications[C]//Proc of NASA/ESA Conference on Adaptive Hardware and Systems. 2010;1-8.
- [11] OSTERLOH B, MICHALIK H, FIETHE B. SoCWire: a robust and fault tolerant network-on-chip approach for a dynamic reconfigurable system-on-chip in FPGAs[C]//LNCS, vol5455. Berlin: Springer-Verlag, 2009;50-59.
- [12] 陈苏鹏,于立新,飞海东. 基于FPGA的SpaceWire接口容错设计与评估[J]. 机电产品开发与创新, 2008, 21(3):142-144.
- [13] 袁鹏,王友仁,张岩. 可重构电子系统芯片级在线自主容错方法研究[J]. 计算机应用研究, 2012, 29(6):2172-2175.
- [14] 刘斐文,姚睿. 基于FPGA动态部分重构的D/TMR系统设计[J]. 计算机工程与应用, 2010, 46(35):55-57.
- [15] 姚睿,王友仁,于盛林,等. 具有在线修复能力的强容错三模冗余系统设计及实验研究[J]. 电子学报, 2010, 27(1):177-183.