

# 多核处理器硅后调试技术研究最新进展\*

高建良<sup>1</sup>, 韩银和<sup>2</sup>

(1. 中南大学 信息科学与工程学院, 长沙 410083; 2. 中国科学院计算技术研究所, 北京 100190)

**摘要:** 针对多核处理器硅后调试技术进行综述和分析。首先,介绍了多核处理器硅后调试技术面临的困难,特别是非确定性错误带来的新挑战;然后,概括介绍了国内外多核处理器硅后调试研究的最新进展,并分析了已有方法存在的问题;最后,对多核处理器硅后调试研究热点和趋势进行了分析,并指出该领域未来可能的研究方向。

**关键词:** 多核处理器; 硅后调试; 非确定性错误

**中图分类号:** TP391.41      **文献标志码:** A      **文章编号:** 1001-3695(2013)02-0321-04

**doi:**10.3969/j.issn.1001-3695.2013.02.001

## Survey on post-silicon debug for multi-core processor

GAO Jian-liang<sup>1</sup>, HAN Yin-he<sup>2</sup>

(1. School of Information Science & Engineering, Central South University, Changsha 410083, China; 2. Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100190, China)

**Abstract:** This paper surveyed the post-silicon debug of uncertain bugs in multi-core processor. Firstly, it presented the challenges of debugging multi-core processor, especially for uncertain bugs. Then, it introduced and analyzed the state-of-the-art solutions for post-silicon debug in detail. Furthermore, it discussed the advantages and disadvantages of the existing methods. Finally, it concluded the hot topics of the current research and also presented the future directions.

**Key words:** multi-core processor; post-silicon debug; uncertain bug

### 1 研究背景

集成电路在流片前主要通过硅前验证(pre-silicon verification)来保证正确性,而流片后则通过硅后调试(post-silicon debug)进一步保证芯片的正确性。经过多年的研究与应用,硅前验证为集成电路的正确性提供了强大的支持<sup>[1]</sup>。但是随着集成新体系结构的提出、电路规模的增大以及验证时间的制约,仅通过硅前验证越来越难以保证在流片前发现所有的错误(bug)。而且,随着制造工艺的发展,芯片中的电气错误难以避免<sup>[2]</sup>,这也是硅前验证无法处理的。集成电路调试就是在硅后阶段发现并定位遗留在芯片中的错误以保证量产芯片的正确性。随着工艺的发展和设计复杂度的增加,硅后调试在集成电路设计中越来越受到重视。对于一款新设计的芯片而言,硅后调试已经占到开发周期的35%以上<sup>[3]</sup>。尽管如此,还是有错误未被发现而进入量产芯片之中,则会造成巨大损失<sup>[4]</sup>。例如2011年1月Intel公司就曾宣布全球范围内召回一款存在错误的芯片组<sup>[5]</sup>。因此,研究更有效的调试技术已经成为集成电路发展的迫切需要。

作为一种复杂的集成电路芯片,多核处理器同样受到了验证的困扰<sup>[6]</sup>。随着多核处理器规模越来越大,功能和结构日益复杂,硅后调试也面临着更大的挑战<sup>[7]</sup>。单位面积上晶体管数目的快速增加以及多核处理器的并行性,导致遗留给

硅后阶段的错误随之增多。图1为Intel公司五款处理器发现的设计错误分布情况。2000—2005年平均每月发现1.2个错误,而2006—2008年平均每月发现3.5个错误<sup>[8]</sup>,而且这其中还未包括电气错误。近年来,多核处理器已经成为处理器体系结构新一轮变革的主流方向。而多核处理器的调试受限于对设计内部状态的观测不透明性和不确定性因素,所面临的调试困难非常之大,如Intel公司有超过三分之一的成本花费在硅后调试上<sup>[9]</sup>。

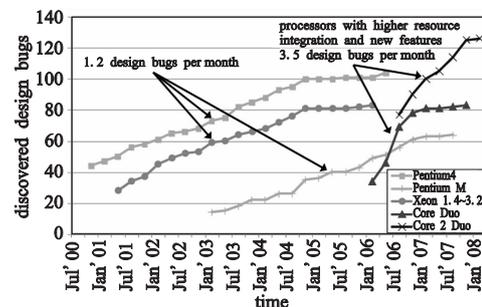


图1 Intel公司五款处理器发现错误的情况

目前,内部信号的可观测性是多核处理器调试面临的最大挑战之一,而非确定性错误是导致可观测性差的一个重要因素。非确定性错误是指触发时间、空间和效果具有不确定性的错误,在调试中表现为难以重现甚至无法重现。多核处理器的并行环境十分复杂,系统不确定因素非常多,如各种I/O操作、程序中遇到的中断、多线程并行程序中对共享存储访问的访问

收稿日期: 2012-06-27; 修回日期: 2012-08-08      基金项目: 国家自然科学基金资助项目(61106036,61073036)

作者简介: 高建良(1979-),男,湖南岳阳人,博士,主要研究方向为数字集成电路设计与调试、传感器网络(gaojianliang@csu.edu.cn); 韩银和(1980-),男,副研究员,博士,主要研究方向为数字集成电路设计与测试。

顺序、操作系统调度等<sup>[10]</sup>。

另一方面,电路在某些操作区间(如电压、温度或频率)不能正常工作,进一步可分为电路噪声、电路边际效应等<sup>[11,12]</sup>,这些电气错误的非确定性也是困扰调试的一个重要因素。已有的调试研究主要是针对确定性错误展开,如单步调试、扫描调试等。然而,精确控制调试过程的调试技术在调试非确定性错误时面临着很大的困难。随着多核处理器中非确定性错误的影响越来越大,新的多核处理器中硅后调试技术成为多核处理器持续发展的迫切需求。

## 2 国内外研究现状及分析

随着集成电路的发展,调试技术经历了多个发展阶段<sup>[13]</sup>。如图 2 所示,系统芯片从单核发展到多核,调试难度也随之增大(gates/pins),调试的主流技术总体上经历了基于物理的技术、基于扫描(scan-based)的技术和基于追踪(trace-based)的技术。基于物理的调试技术通过外部设备观测芯片内部状态,激光电压探测仪技术(laser voltage probe)和微光显微镜等光电检测技术都曾用来探测芯片内部信号,还可通过聚焦离子束(focus-ion beam)进行电路修改<sup>[14]</sup>。但是,基于物理的调试技术主要关注失效分析,在大规模集成电路中用物理方法来寻找错误,几乎是不可能完成的事情。而且,当今多金属层的集成电路也使得基于物理的调试技术的实现更加困难。

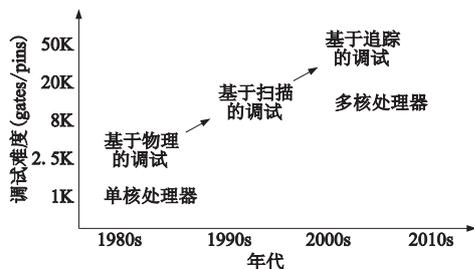


图2 调试技术发展示意图

为了更有效地发现错误,可调试设计被广泛应用于硅后调试。工业界数据表明,可调试设计已经占用了超过 20% 的片上资源<sup>[15]</sup>。可调试设计可分为基于扫描的调试方法和基于追踪的调试方法<sup>[16]</sup>,下面将分别进行详细介绍和分析。

### 2.1 基于扫描的调试技术

扫描技术为集成电路制造测试提供了很好的可控制性和可观性<sup>[17]</sup>。扫描链是制造测试中移入测试激励和输出测试响应的基本途径<sup>[18]</sup>,基于扫描的调试技术就是通过复用可测试性设计中的扫描链来观测内部信号<sup>[19-21]</sup>。调试的环境和目标都与制造测试有很大不同,调试过程中复用扫描链面临着新的问题。首先,在调试中复用扫描链要解决链接扫描链端口的问题。芯片的管脚在调试中不能被扫描链的扫入端口和扫出端口复用,因为这些管脚在系统环境调试都有其相应的功能。将多条扫描链首尾相连形成一条扫描探针,然后通过 JTAG 接口进行扫入扫出是一种可行的方法<sup>[19]</sup>。其次,在调试中复用扫描链需要时钟控制单元的支持。当时钟控制单元接收到需要停止功能运行进行扫描操作时,它就会对时钟信号进行选择 and 门控<sup>[22]</sup>。在多核芯片中应用基于扫描的调试技术时,需要

考虑不同芯核的扫描链选择和时钟控制问题。Vermeulen 等人提出了多核调试中核级的调试结构,该结构包含了对芯片运行的控制模块和芯片停止后对扫描链的控制模块,能够获取指定核内的状态<sup>[23]</sup>。

可观性是硅后调试至关重要的因素,扫描技术的优点是能够得到很高的可观性。但是,随着集成电路技术和工艺发展,应用基于扫描的调试技术面临着新的问题:

a)扫描时间过长。因为调试时钟速度比功能时钟慢,且调试探针是串行输出。

b)时钟控制复杂。扫描操作需要停止芯片的功能运行,在运行过程中对芯片进行干预可能导致数据失效<sup>[24,25]</sup>。

c)难以处理非确定性错误。一方面多核处理器的非确定性导致了在系统调试中不能停止芯片的运行进行扫描操作;另一方面,非确定性错误难以重现,基于扫描的方法难以确定扫描的时间区间。

### 2.2 基于追踪的调试技术

基于追踪的调试技术在芯片运行的同时保存芯片内部的状态,提供了实时捕获芯片内部状态的能力,近年来取得了很大的进展。已有工作主要在三个方面展开,即追踪源<sup>[16,26,27]</sup>、传输结构<sup>[28-30]</sup>和追踪数据处理<sup>[31-33]</sup>。

追踪源是芯片中需要观测的信号,追踪技术首先需要确定对哪些信号进行追踪。采集信号的数量和开销成正比,追踪源研究关注了追踪信号的选择。一种方法是选择部分信号进行实时追踪,然后根据这部分信号值来恢复其他信号值。但是这些方法只能应用于比较小的电路,如 32 位追踪带宽只能恢复不超过 2 000 个触发器的电路<sup>[34]</sup>。由于信息获取与待调试的设计密切相关<sup>[33]</sup>,至今仍没能在实际中取得较好的应用。

在传输结构方面,主要研究包括多组信号的选择和节省传输结构开销。将追踪信号分组,每次追踪调试过程根据需要需要通过多路选择器树选择一组信号连接到追踪缓存<sup>[28]</sup>。其中,多路选择器的控制信号可以通过硬件断言实现<sup>[35]</sup>。经过同一多路选择器的信号不能同时选中,这限制了被调试电路选择信号的灵活性。利用测试访问机制来传输调试数据<sup>[29]</sup>,同样也面临着选择信号灵活性的问题。

在追踪数据处理方面,已有研究主要关注如何提高缓存利用率的问题。专用的存储部件利用 buffer、cache 或者随机存取存储器(RAM)来保存要存储的数据。目前工业界接受的追踪缓存大小为 1k × 8 ~ 8k × 32<sup>[16]</sup>。目前,研究者提出了多种追踪数据压缩算法,如针对系统芯片内部流水级中的信息压缩<sup>[31,36]</sup>,以及通过差分向量计算来减少平均信息量,实现实时无损压缩追踪数据<sup>[37]</sup>。然而,在片上对实时追踪的数据进行压缩所要求的速度与压缩比并不匹配,在实际应用中难以取得理想的效果。

由于多核处理器中非确定性错误的影响,已有的实时追踪技术已经难以满足多核处理器调试实际的需要。其主要困难表现为:

a)可观性与可调试设计开销之间存在着很大的矛盾。存储调试信息需要非常大的开销,一组信号在单核处

器中只需要几十个触发器保存,而在多核处理器中则可能扩展成几百个。保存这些信息的 RAM 等存储部件的容量往往要达到千量级,工业界很难接受加入如此庞大的调试存储部件。

b) 可调试设计的重用性还没有突破。已有的研究在重用可调试设计方面提出了一些比较直观的方法,但是关键问题还未取得突破。例如复用片上网络作为调试数据传输机制,在追踪非确定性错误时功能的正确性如何保证等。

综上所述,集成电路调试技术虽已取得了显著发展,但在多核处理器硅后调试方面的研究还面临着重要的挑战。

### 3 研究趋势分析与展望

多核处理器硅后调试面临着众多未解决的问题,这些问题的解决将为多核处理器量产的正确性提供有力支持。下面将对未来可能的研究方向和热点进行探讨。

#### 3.1 芯核之间交叉触发研究

研究多核协同触发错误的触发机制,以及错误捕捉机制对错误反应的传输,具体包括:

a) 触发条件的动态配置。根据芯核状态和核间互连的状态动态配置触发条件,满足非确定性错误调试需求;设计多个信号源共同触发的机制,实现多个芯核协同触发。

b) 分布式交叉触发机制。在有全局同步时标和无全局同步时标两种情况下设计多核分布式交叉触发机制,处理各芯核触发模块之间调试事件的传输与同步。封装交叉触发事件与功能数据在一个事务消息中传输。

#### 3.2 实时追踪研究

实时追踪能在不干扰功能运行的情况下捕获错误触发之后的状态。其关键问题是可观测性与可调试设计开销之间存在着深刻矛盾,这包括追踪源选择、传输机制和追踪数据处理三个方面。

a) 自动选择追踪源。首先,确定采集哪些信息。片上追踪资源限制了只能对部分信号进行追踪,因此需要设计自动选择信号的算法,根据信号相关性自动分析出最小必要调试信息子集。其次,研究不同层级的信息采集和不同层级的追踪。

b) 可复用的传输机制。非确定性错误的追踪调试经常需要改变追踪源,多路选择器树实现选择和传输的开销太大,而且灵活性不够。针对这一问题,课题研究设计了可配置传输机制,支持灵活选择不同追踪源。进一步研究通过多核处理器核间互连机制传输追踪数据,关键是研究如何保证共用同一传输机制情况时功能的正确性。

c) 追踪数据处理。设计包含地址信息和时标信息的追踪数据压缩算法,多核处理器调试中追踪数据产生的精确时间或者时间顺序都很重要,因此压缩时需要考虑时标信息。其次,设计分析错误的模型和方法,能从追踪数据中识别错误是否发生以及错误发生的信息。

#### 3.3 非确定环境下的重放技术与多错误调试

非确定环境下的重放技术通过在调试程序运行时录制必要信息,在需要的时候进行重放以达到重现不确定因素,主要

研究包括:如何有效录制不确定信息,主要包括各种 DMA 和 I/O 操作、中断、共享存储的访存顺序等;从录制信息恢复完整信号,并与 RTL 代码建立对应关系,进行查错。

随着多核处理器设计越来越复杂,同一个芯片可能存在多个错误,这些错误在调试过程中可能相互干扰。针对这种情况,从物理和逻辑两个层次进行容错调试设计:在物理层面,研究对已检测错误进行修复的方法,以不影响其他错误的调试;在逻辑层次,进行容错设计,在关键点进行约束生成,设置指定存储单元的值。

#### 3.4 三维多核芯片的调试研究

预测到 2016 年前后,将批量生产 22 nm 的集成电路,追求特征尺寸缩小的同时速度会减慢。因为利用先进 CMOS 技术开发系统芯片的成本飞涨,所以将更多采用三维集成技术向立体空间发展。从几何学角度看,三维集成是指为了提高密度、性能和可靠性,在晶圆的水平和垂直方向继续缩小特征尺寸。作为最新集成电路技术发展之一,三维多核芯片所面临的调试问题更加突出:a) 需要同时观察的内部信号数量更大;b) 有关热量问题的调试,即由于内部散热导致的失效如何在有效的调试时间之内发现并解决;c) 在三维集成电路中如何在多层之间增加可调试设计也是一个重要的问题。

以上未来研究趋势之间的关系如图 3 所示,从多核处理器中功能错误和电气错误出发,开展交叉触发、实时追踪和重放技术研究。其中交叉触发支持设置实时追踪的起始点和结束点。实时追踪结合重放技术,为多错误容错调试提供技术基础。作为最新集成电路发展应用的三维多核芯片,上述调试方法均面临着新的发展和新的挑战。

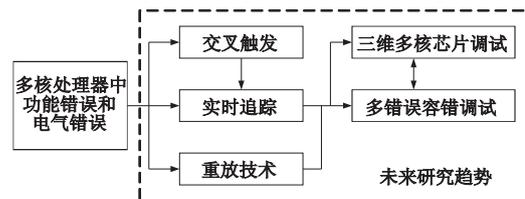


图3 研究趋势关系

## 4 结束语

多核处理器正确性验证一直是工业界和学术界广泛关注的重要问题。本文综述了多核处理器硅后调试技术的最新进展,分析了多核处理器中硅后调试面临的新挑战,重点分析和总结了已有硅后调试技术在多核处理器调试中的优势和不足,并且归纳出了目前和将来本领域的研究趋势,以期在推进新型处理器芯片正确性验证理论研究和实际应用方面有着积极的意义。

#### 参考文献:

- [1] 李晓维,吕涛,李华伟,等. 数字集成电路设计验证[M]. 北京:科学出版社,2010.
- [2] ABRAMOVICI M. In-system silicon validation and debug[J]. IEEE Design & Test of Computers,2008,25(5):216-223.
- [3] ABRAMOVICI M, BRADLEY P, DWARAKANATH K, et al. A reconfigurable design-for-debug infrastructure for SoCs[C]//Proc of the 43rd Annual Design Automation Conference. New York: ACM

- Press,2006;7-12.
- [4] JOSEPHSON D, GOTTLIEB B. The crazy mixed up world of silicon debug [C]//Proc of IEEE Custom Integrated Circuits Conference. 2004;665-670.
- [5] [EB/OL]. [http://www.intel.com/cn/support/chipsets/sb/cs-032263.htm?iid=zh\\_CN\\_chipset+gg\\_headline](http://www.intel.com/cn/support/chipsets/sb/cs-032263.htm?iid=zh_CN_chipset+gg_headline).
- [6] 王鹏宇,陈云霖,沈海华,等. 片上多核处理器存储一致性验证[J]. 软件学报, 2010,21(4):863-874.
- [7] HU Wei-wu, WANG Jian, GAO Xiang, *et al.* GODSON-3: a scalable multicore RISC processor with X86 emulation[J]. *IEEE Micro*, 2009,29(2):17-29.
- [8] CONSTANTINIDES K, AUSTIN T. Using introspective software-based testing for post-silicon debug and repair[C]//Proc of the 47th Design Automation Conference. New York: ACM Press,2010;537-542.
- [9] JOSEPHSON D. The good, the bad, and the ugly of silicon debug [C]//Proc of the 43rd Annual Design Automation Conference. New York: ACM Press,2006;3-6.
- [10] SU Meng-hao, CHEN Yun-ji, GAO Xiang. A general method to make multi-clock system deterministic[C]//Proc of Design, Automation and Test in Europe Conference. 2010;1480-1485.
- [11] JOSEPHSON D. The manic depression of microprocessor debug [C]//Proc of International Test Conference. 2002;657-663.
- [12] BOWMAN K, TSCHANZ J, ASERON P. A 45nm resilient microprocessor core for dynamic variation tolerance [J]. *IEEE Journal of Solid-State Circuits*,2011,46(1):194-208.
- [13] LEATHERMAN R, STOLLON N. An embedding debugging architecture for SoCs[J]. *IEEE Potentials*,2005,24(1):12-16.
- [14] BOIT C, SCHLANGEN R, KERST U, *et al.* Physical techniques for chip-backside IC debug in nanotechnologies [J]. *IEEE Design & Test of Computers*,2008,25(3):250-257.
- [15] PATRA P. On the cusp of a validation wall [J]. *IEEE Design & Test of Computers*,2007,24(2):193-196.
- [16] FAI K H, NICOLICI N. Automated trace signals identification and state restoration for improving observability in post-silicon validation [C]//Proc of the Conference on Design, Automation and Test in Europe. 2008;1298-1303.
- [17] WANG Da, FAN Xiao-xin, FU Xiang, *et al.* The design-for-testability features of a general purpose microprocessor[C]//Proc of IEEE International Test Conference. 2007;1-9.
- [18] XIANG Dong, CHEN Ming-jing, SUN Jia-guang, *et al.* Improving the effectiveness of scan-based BIST using scan chain partitioning [J]. *IEEE Trans on Computer-Aided Design of Integrated Circuits and Systems*,2005,24(6):916-927.
- [19] Van ROOTSELAAR G J, VERMEULEN B. Silicon debug: scan chains alone are not enough [C]//Proc of IEEE International Test Conference. 1999;892-902.
- [20] JOSEPHSON D, POEHLMAN S, GOVAN V. Debug methodology for the Mckinley processor [C]//Proc of IEEE International Test Conference. 2001;451-460.
- [21] YI H, PARK S, KUNDU S. On-chip support for NoC-based SoC debugging[J]. *IEEE Trans on Circuits and Systems—1: Regular Papers*,2010,57(7):609-619.
- [22] HAO H, BHABUTHMAL K. Clock controller design in SuperSPARC II microprocessor [C]//Proc of IEEE International Conference on Computer Design: VLSI in Computers and Processors. 1995;124-129.
- [23] VERMEULEN B, WAAYERS T, GOEL S K. Core-based scan architecture for silicon debug [C]//Proc of IEEE International Test Conference. 2002;638-647.
- [24] GOEL S K, VERMEULEN B. Hierarchical data invalidation analysis for scan-based debug on multiple-clock system chips [C]//Proc of IEEE International Test Conference. 2002;1103-1110.
- [25] 高建良,韩银和,李晓维. 处理多时钟域调试中的数据失效 [C]//第十三届全国容错计算学术会议论文集. 2009;517-522.
- [26] FAI K H, NICOLICI N. Algorithms for state restoration and trace-signal selection for data acquisition in silicon debug [J]. *IEEE Trans on Computer-Aided Design of Integrated Circuits and Systems*, 2009,28(2):285-297.
- [27] SHOJAEI H, DAVOODI A. Trace signal selection to enhance timing and logic visibility in post-silicon validation [C]//Proc of the International Conference on Computer-Aided Design. Piscataway: IEEE Press,2010;168-172.
- [28] LIU Xiao, XU Qiang. Interconnection fabric design for tracing signals in post-silicon validation [C]//Proc of the 46th ACM/IEEE Design Automation Conference. 2009;352-357.
- [29] LIU Xiao, XU Qiang. On reusing test access mechanisms for debug data transfer in SoC post-silicon validation [C]//Proc of the 17th Asian Test Symposium. 2008;303-308.
- [30] TANG S, XU Qiang. A multi-core debug platform for NoC-based systems [C]//Proc of Design, Automation and Test in Europe Conference. 2007;1-6.
- [31] ANIS E, NICOLICI N. On using lossless compression of debug data in embedded logic analysis [C]//Proc of IEEE International Test Conference. 2007;1-10.
- [32] YANG J S, TOUBA N A. Expanding trace buffer observation window for in-system silicon debug through selective capture [C]//Proc of the 26th IEEE VLSI Test Symposium. 2008;345-351.
- [33] ANIS E, NICOLICI N. Interactive presentation; low cost debug architecture using lossy compression for silicon debug [C]//Proc of Conference on Design, Automation and Test in Europe. San Jose: EDA Consortium,2007;225-230.
- [34] LIU Xiao, XU Qiang. Trace signal selection for visibility enhancement in post-silicon validation [C]//Proc of Conference on Design, Automation and Test in Europe. Belgium: European Design and Automation Association,2009;1338-1343.
- [35] GEUZEBOEK J, VERMEULEN B. Integration of hardware assertions in systems-on-chip [C]//Proc of IEEE International Test Conference. 2008;1-10.
- [36] HU Xiao, CHEN Shu-ming. Applications of on-chip trace on debugging embedded processor [C]//Proc of the 8th ACIS International Conference on Software Engineering, Artificial Intelligence, Networking, and Parallel/Distributed Computing. 2007;140-145.
- [37] PRABHAKAR S, SETHURAM R, HSIAO M. Trace buffer-based silicon debug with lossless compression [C]//Proc of the 24th International Conference on VLSI Design. 2011;358-363.