

针对扫描阻塞结构的测试数据压缩方案*

蔡 烁^{1,2}, 杨致远¹, 刘铁桥², 王伟征²

(1. 长沙理工大学 计算机与通信工程学院, 长沙 410004; 2. 湖南大学 信息科学与工程学院, 长沙 410082)

摘 要: 分析了集成电路测试面临的测试数据量大、测试应用时间长等问题,对常用的测试压缩方法进行了介绍,并在扫描阻塞测试结构基础上,提出了对数据进行部分编码压缩的方案。在附加硬件开销很小的情况下,进一步压缩了测试数据。理论分析和实验结果都表明了本压缩方案的可行性和有效性。

关键词: 扫描阻塞结构; 确定位; 测试片段; 泊松分布; 编码压缩

中图分类号: TP331 **文献标志码:** A **文章编号:** 1001-3695(2012)04-1378-03

doi:10.3969/j.issn.1001-3695.2012.04.049

Test data compression scheme according to scan disabling structure

CAI Shuo^{1,2}, YANG Zhi-yuan¹, LIU Tie-qiao², WANG Wei-zheng²

(1. School of Computer & Communication Engineering, Changsha University of Science & Technology, Changsha 410004, China; 2. School of Information Science & Engineering, Hunan University, Changsha 410082, China)

Abstract: This paper first analyzed some problems for integrated circuit (IC) testing such as large size of test data and long time of test application, introduced some test compression method, then proposed a coding compression scheme for parts of data based on the scan disabling test structure. The coding method can compress test data by few additional hardware. Theoretical analysis and experimental results show that the proposed scheme is feasible and efficient.

Key words: scan disabling structure; care bits; test slice; Poisson distribution; coding compression

随着集成电路制造工艺水平的提升和芯片面积的增加,完成大规模电路的测试需要越来越多的数据^[1]。过多地测试数据不仅需要大容量的存储设备存放,而且使得测试应用时间很长,因此,对测试数据的压缩显得尤为重要。测试压缩可以有效地减少数字电路测试向量数目和测试应用时间。测试数据包括测试激励和测试响应,与之对应的压缩技术也分为激励数据压缩和响应数据压缩。本文主要研究的是测试激励数据的压缩方法。测试激励向量压缩后,通过自动测试设备 (automatic test equipment, ATE) 传送到芯片的解码电路,经解码还原出原始测试向量集,再施加至待测电路 (circuit under test, CUT) 完成测试。而响应数据经压缩后传送至 ATE 与正常电路的响应特征值进行比较^[2]。

本文在文献[3]介绍的基于扫描阻塞的 BAST (BIST-aided scan test) 测试结构基础上,提出了一种改进的数据存储方案。新方案能进一步压缩需存储的测试数据。

1 测试压缩方法介绍

1.1 常用测试压缩方法

测试压缩包括测试激励压缩和响应压缩,前者是无损压缩,要求所有的原始测试向量经过解压后都能被还原。

待压缩的测试向量集包含大量的无关位 X (X 的取值可以为 0, 也可以为 1, 不影响测试结果), 这些 X 位可以在测试过程中根据测试人员的需要任意赋值。正是利用这一点,产生了一

些经典而高效的测试压缩方法^[4]。

常用的测试激励压缩方法有编码压缩、基于 LFSR (linear feedback shift register) 重播种、广播式压缩和 BIST 辅助扫描测试等。编码压缩通过选定编码将原始测试向量集 T_D 压缩成向量集 T_E , 再存入 ATE 中, 实际测试时 T_E 经解码电路还原成 T_D 后施加至 CUT^[5-8]; LFSR 重播种的核心思想是将确定的测试集编码成 LFSR 种子, 在测试应用过程中, 将种子作为 LFSR 初始状态, 自动展开成目标测试向量^[9-11]; 广播式压缩方法利用同一组向量对不同子电路进行测试, 在硬件实现上一般采用共享扫描输入结构^[12]; BIST 辅助扫描测试通过引入新的测试结构可以有效地压缩测试数据^[4,13]。

1.2 基于扫描阻塞的 BAST 测试结构

考虑到大部分电路的原始测试向量集中无关位 X 比率很大这一实际情况, 文献[3]介绍了一种基于扫描阻塞的 BAST 方案用于减少测试应用时间和测试数据容量。该方案采用多扫描链结构, 将 CUT 中的触发器连成 N 条等长扫描链, 由伪随机序列生成器 (pseudo-random pattern generator, PRPG) 产生匹配的测试向量并行移入 CUT。测试结构如图 1 所示。

CUT 中 N 条扫描链的对应位所组成的一列称为一个测试向量片段, 因此, 每个片段包含 N 位数据。由 PRPG 随机产生测试序列, 若该片段与原测试集经分割后的片段匹配, 则由扫描阻塞信号 scan_dis 控制将其并行移入扫描单元, 否则将被阻塞。此处匹配的含义是指片段中所有的确定位对应相同。由

收稿日期: 2011-09-08; 修回日期: 2011-10-12 基金项目: 国家自然科学基金资助项目 (60773207); 湖南省大学生创新实验资助项目 (2010-224-114)

作者简介: 蔡烁 (1982-), 男, 湖南南县人, 博士研究生, 主要研究方向为集成电路测试、嵌入式系统 (csustcs4002@163.com); 杨致远 (1990-), 男, 本科生, 主要研究方向为嵌入式系统; 刘铁桥 (1983-), 男, 博士研究生, 主要研究方向为集成电路测试、嵌入式系统; 王伟征 (1984-), 男, 博士, 主要研究方向为集成电路测试、嵌入式系统。

于每个片段含大量的无关位 X ,因此匹配概率较大。图中移相器 (phase shifter, PS) 的功能是减少伪随机数据的相关性。在此测试方案下,ATE 只需要保存信号 scan_dis 的值,在很大程度上节省了存储开销。

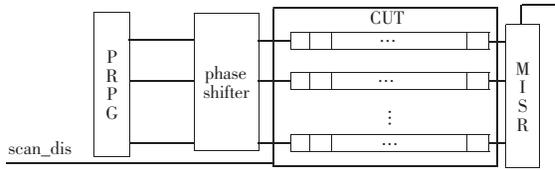


图 1 基于扫描阻塞的 BAST 测试结构图

2 改进的测试压缩方案分析

2.1 改进的数据存储方案

考虑到 PRPG 和 PS 产生的测试片段与原向量片段不匹配时,信号 scan_dis 为 0,阻塞该片段移入 CUT;随后继续伪随机产生下一个片段直至匹配,scan_dis 才为 1,使该片段移入 CUT 的扫描链。

信号 scan_dis 的值应该是类似“00010100001100000001……”的 0 游程串。在某些情况下,可以用计数器产生此信号串,进一步压缩需存储的数据量。加载至计数器的数据采用 m 位二进制编码,存储在 ATE 中。如图 2 所示。

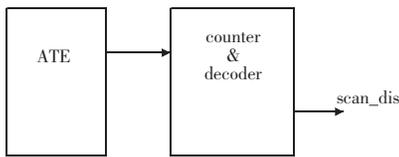


图 2 改进的数据存储部分方案图

假设 scan_dis 的某部分序列为“00010100001100000001……”,采用 3 位二进制编码的结果是“011001100000111……”,从 20 bit 压缩至 15 bit。

此方案对应的解码过程也比较简单:将 ATE 中的 m 位编码数据移入计数器,计数器执行减 1 操作,每执行一次减 1 操作,解码器输出一个 0;连续执行减 1 操作直到计数器中的值全为 0,此时输出一个 1,并接收下一个 m 位编码数据。

2.2 方案性能分析

本节对 2.1 节提出的新存储方案进行性能分析。

引理 一个测试向量片段中确定位的个数 y 是随机变量,近似服从泊松分布。 y 等于 k 的概率满足 $P\{y = k\} = \frac{(\lambda)^k e^{-\lambda}}{k!}, k=0,1,2, \dots, N$ 。其中: λ 是测试片段平均确定位数, N 是扫描链条数。若原测试集确定位比例为 r ,则 $\lambda = rN$ 。因此,该式可表示为 $P\{y = k\} = \frac{(rN)^k e^{-rN}}{k!}, k=0,1,2, \dots, N$ 。

定理 如果一个测试片段中确定位个数为 k ,则需要随机产生 EL_k 个片段序列才能与之匹配, EL_k 的数学期望是 2^k 。

证明 设某测试片段确定位个数为 k ,随机产生 i 个片段序列正好与之匹配的概率是 $P(i)$,则 $P(i) = (1 - \frac{1}{2^k})^{i-1} \cdot \frac{1}{2^k}$ (表示前 $i-1$ 个片段不匹配,第 i 个片段匹配),因此,

$$EL_k = \sum_{i=0}^{\infty} iP(i) = \sum_{i=0}^{\infty} i \cdot \frac{(2^k - 1)^{i-1}}{2^k} = \frac{1}{2^k} \sum_{i=0}^{\infty} i \cdot (2^k - 1)^{i-1}$$

$$\text{记 } t = \sum_{i=0}^{\infty} i \cdot (2^k - 1)^{i-1}, q = \frac{2^k - 1}{2^k}, \text{ 则 } t = \sum_{i=0}^{\infty} i \cdot q^{i-1}$$

上式两边先对 q 求不定积分,再对 q 求导,得到 $t = \frac{d(\frac{1}{1-q})}{dq} = \frac{1}{(1-q)^2}$,把 q, t 代入 EL_k 的表达式中,得到

$$EL_k = 2^k$$

根据上述引理和定理可知,图 1 所示的测试方案(方案 1)需存储的总数据位数为 $\text{total}_1 = \frac{R}{rN} \sum_{k=0}^N \frac{(rN)^k \cdot e^{-rN}}{k!} \cdot 2^k$ 。其中, k, r 和 N 的含义同上述引理, R 表示测试集总的确定位数量。

对于改进的数据存储方案(方案 2),假设加载至计数器的数据是采用 m 位二进制编码,则需要存储的总数据位数为 $\text{total}_2 = \frac{R}{rN} \cdot m$ 。记 $S = \sum_{k=0}^N \frac{(rN)^k \cdot e^{-rN}}{k!} \cdot 2^k$,当满足 $m < S$ 时,方案 2 相比方案 1 能节省更多的存储资源。

m 位二进制数据经解码后需满足信号 scan_dis 的所有游程情况,用 M 表示游程串中最大子串的位数(例如某游程串为“00010100001100000001……”,其中最大子串为“00000001”, $M=8$),应满足条件 $m \geq \log_2 M$,且 m 为正整数。在此范围内 m 取最小值。表 1 列出了式子 S 在 r, N 为某些取值下的结果,因为 S 与 r 和 N 的乘积关系较大,因此表 1 的列项为 rN 的值。

表 1 S 取值情况表

N	rN				
	0.50	0.75	1.00	1.50	2.00
5	1.65	2.11	2.67	4.11	5.80
10	1.65	2.12	2.72	4.48	7.37
20	1.65	2.12	2.72	4.48	7.39
50	1.65	2.12	2.72	4.48	7.39
100	1.65	2.12	2.72	4.48	7.39

从表达式 S 的形式和表 1 的结果可知, S 的值与测试集确定位比率 r 和扫描链条数 N 的乘积(即泊松分布的参数 λ)有关。在 λ 取值确定的情况下, N 即使继续增大,也基本不会影响 S 。

经分析,待存储数据 0 游程串中 0 的个数分布越均匀,则改进后的方法效果越好。由于游程串中 0 的个数具有较强的随机性,并不是严格均匀分布的,可能会偶尔出现很长的 0 串。因此,控制信号 scan_dis 适合部分编码存储。

3 实验结果

下面通过实验来说明本方法的压缩效果。

本文针对具有全扫描结构的 ISCAS'89 基准电路进行压缩。在实验中,首先使用自动测试产生 (automatic test pattern generation, ATPG) 工具 TetraMAX 对精简后的每个单固定型故障产生测试向量;将确定位分布较均匀的向量排在靠前的位置;然后根据扫描阻塞方案用伪随机序列生成器产生测试序列;最后用故障模拟工具 HOPE 对测试过程进行评估,并移除对故障覆盖率没有帮助的测试向量,以减少需存储的测试数据。

实验环境为 3.2 GHz Pentium Pro PC, 2 GB 内存,采用标准 C 语言。实验结果如表 2 所示。

表 2 几种方法的压缩结果比较

CUT	N	r/%	T ₁	T ₂	T _{FDR} ^[6]	I ₁ /%	I ₂ /%
s5378	17	5.13	11 424	10 658	12 346	6.7	13.7
s9234	14	5.27	20 962	19 896	22 152	5.1	10.2
s13207	60	1.25	16 809	14 860	30 880	11.6	51.9
s15850	42	1.35	19 241	18 141	26 000	5.7	30.2
s38417	48	0.76	99 205	95 937	93 466	3.3	-2.6

表 2 中,第 1 列为待测电路;第 2 列扫描链条 N 的取值能使两种方法需存储的数据最少;第 3 列为各电路测试集的确定

位比率;第4列 T_1 是基于扫描阻塞的 BAST 方案需存储的总数据位数,由于伪随机序列是采用 LFSR 实现的,且初始种子是随机选取,所以第4列数据与文献[3]的结果略有不同。第5列 T_2 是采用部分数据编码存储的测试方案需存储的总数据位数;第6列的 T_{FDR} 为采用 FDR 编码方法压缩后的测试数据位数;第7列数据 I_1 为 T_2 相比 T_1 减少的比率,计算式为 $I_1 = (T_1 - T_2) / T_1 \times 100\%$;第8列数据 I_2 为 T_2 相比 T_{FDR} 减少的比率,计算式为 $I_2 = (T_{FDR} - T_2) / T_{FDR} \times 100\%$ 。从表2数据得知,除 s38417 电路外,其他几个被测电路采用部分编码存储的方案需存储的总数据位数最少。

因为序列中0串的长度具有不确定性,本实验只对测试数据中的一部分进行编码压缩,另一部分扫描阻塞信号仍需由 ATE 直接存储,表2的第5列数据是两项之和。除 s38417 电路采用的是5位编码压缩外,其余几个测试电路都采用4位编码,这样选择与测试数据中0串的具体分布有关。

由本文2.2节的分析可知,若电路 r 与 N 的乘积增大,则改进方案的编码位数可以更大,压缩效果会更好,但前提是移入扫描链的测试向量中确定位较均匀地分布于各个测试片段。

4 结束语

本文在基于扫描阻塞的 BAST 测试方案基础上,充分考虑到确定位分布较均匀的测试向量分割成多个测试片段后,每个片段与伪随机序列匹配时所需要的扫描阻塞控制信号串是相差不大的0游程序列。对这些信号用编码方式压缩,可以得到更好的压缩效果,节省存储资源,而多余付出的硬件代价是非常小的。

下一步可以考虑分段编码压缩。将需存储的控制信号串分成多个部分,分别由计数器产生或用 ATE 直接存储,前者存储原始数据串的编码。两者轮流输出扫描阻塞信号控制 PRPG 和 PS 产生的序列片段是否移入 CUT。此方案对应的关键问题是如何分段以及如何控制两部分数据的转换,还需考虑为此而增加的解码电路硬件开销。

参考文献:

- [1] BUSHNELL M L, AGRAWAL V D. Essentials of electronic testing for digital, memory, and mixed-signal VLSI circuits[M]. 蒋安平, 冯建华, 王新安, 译. 北京: 电子工业出版社, 2006.
- [2] 梁华国, 蒋翠云. 基于交替与连续长度码的有效测试数据压缩和解压[J]. 计算机学报, 2004, 27(4): 548-553.
- [3] YOU Zhi-qiang, WANG Wei-zheng, DOU Zhi-ping, et al. A scan disabling-BAST scheme for test cost reduction[J]. IEICE Electronics Express, 2011, 8(16): 1367-1373.
- [4] HOSOKAWA T, CHEN Y, WAN L, et al. A test pattern matching method on BAST architecture using don't care identification for random pattern resistant faults[C]//Proc of IEEE International Symposium on Communications and Information Technologies. 2010: 738-743.
- [5] CHANDRA A, CHAKRABARTY K. Test data compression and decompression based on internal scan chains and golomb coding[J]. IEEE Trans on Computer-Aided Design of Integrated Circuits and Systems, 2002, 21(6): 715-722.
- [6] CHANDRA A, CHAKRABARTY K. Test data compression and test resource partitioning for system-on-chip using frequency-directed run-length(FDR) codes[J]. IEEE Trans on Computers, 2003, 52(8): 1076-1088.
- [7] GONCIARI P T, HASHIMI B M. Variable-length input Huffman coding for system-on-a-chip test[J]. IEEE Trans on Computer-Aided Design of Integrated Circuits and Systems, 2003, 22(6): 783-796.
- [8] 詹文法, 梁华国, 时峰, 等. 混合定变长码的测试数据压缩方案[J]. 计算机学报, 2008, 31(10): 1826-1834.
- [9] KRISHNA C V, TOUBA N A. Reducing test data volume using LFSR reseeding with seed compression[C]//Proc of International Test Conference. 2002: 321-330.
- [10] FU Y H, WANG S J. Test data compression with partial LFSR reseeding[C]//Proc of the 14th Asian Test Symposium. 2005: 343-347.
- [11] WANG S, WEI W L, CHAKRADHAR S T. A high compression and short test sequence test compression technique to enhance compressions of LFSR reseeding[C]//Proc of the 16th Asian Test Symposium. 2007: 79-86.
- [12] DAI Gui, YOU Zhi-qiang, KUANG Ji-shun, et al. DCScan: a power-aware scan testing architecture[C]//Proc of the 17th Asian Test Symposium. 2008: 343-348.
- [13] ARAI M, FUKUMOTO S, IWASAKI K. Test data compression of 100x for scan-based BIST [C]//Proc of IEEE International Test Conference. 2006: 23-26.
- [4] 梁华国, 蒋翠云. 基于交替与连续长度码的有效测试数据压缩和解压[J]. 计算机学报, 2004, 27(4): 548-553.
- [5] YIN Yong, KAKU I, MURASE Y, et al. Seru (cell) and reverse conversion, part II: homogenous manufacturing organizations[R]. Japan: Yamagata University, 2008.
- [6] CHIANG W C, URBAN T L. The stochastic u-line balancing problem: a heuristic procedure[J]. European Journal of Operational Research, 2006, 175(3): 1767-1781.
- [7] YIN YONG, KAKU I, MURASE Y, et al. Converting flow lines to manufacturing cells-another revolution? Cellular manufacturing implementations in Japan[C]//Proc of the 3rd International Conference on Group Technology/Cellular Manufacturing GT/CM. 2006.
- [8] HOPP W J, TEKIN E, Van OYEN M P. Benefits of skill chaining in serial production lines with cross-trained workers [J]. Management Science, 2004, 50(1): 83-98.
- [9] NAKADE K, OHNO K. An optimal worker allocation problem for a U-shaped production line [J]. International Journal of Production Economics, 1999, 60(1): 353-358.
- [10] CESAN V I, STEUDEL H J. A study of labor assignment flexibility in cellular manufacturing systems [J]. Computers & Industrial Engineering, 2005, 48(3): 571-591.
- [11] ERTAY T, RUAN D. Data envelopment analysis based decision model for optimal operator allocation in CMS [J]. European Journal of Operational Research, 2005, 164(3): 800-810.
- [12] FITZPATRICK E L, ASKIN R G. Forming effective worker teams with multi-functional skill requirements [J]. Computers & Industrial Engineering, 2005, 48(3): 593-608.
- [13] NAKADE K, NISHIWAKI R. Optimal allocation of heterogeneous workers in a U-shaped production line [J]. Computers & Industrial Engineering, 2008, 54(3): 432-440.
- [14] ZHANG Wen-ming, DEUSE J. Cell staffing and standardized work design in Chaku-Chaku production lines using a hybrid optimization algorithm[C]//Proc of International Conference on Computers & Industrial Engineering. 2009.
- [15] NAHAS N, NOURELFATH M, AIT-KADI D. Selecting machines and buffers in unreliable series-parallel production lines[J]. International Journal of Production Research, 2009, 47(14): 3741-3774.

(上接第1363页)