

基于循环体访问过滤的低功耗分支目标缓冲器

高金加, 孟建熠, 陈志坚

(浙江大学 超大规模集成电路设计研究所, 杭州 310027)

摘 要: 分支目标缓存(BTB)是高端嵌入式 CPU 的主要耗能部件之一。针对 BTB 访问中引入的冗余功耗问题, 提出了一种循环体访问过滤机制消除循环体指令流中顺序指令对 BTB 的无效访问。进一步提出了一种分支跟踪方法补偿循环过滤机制对循环体中非循环类分支指令的错误过滤造成的性能损失, 节省了循环体指令流中顺序指令访问 BTB 的大量冗余功耗。基于 Powerstone 基准程序的仿真实验表明, 在 128 表项 BTB 配置下, 二级循环过滤器和 4 表项分支踪迹表可以减少约 71.9% 的 BTB 功耗, 而平均每条指令周期数(CPI)退化仅为 0.66%。

关键词: 分支目标缓存; 循环过滤; 分支踪迹; 功耗节省; 性能补偿

中图分类号: TP393.04

文献标志码: A

文章编号: 1001-3695(2012)03-0998-04

doi:10.3969/j.issn.1001-3695.2012.03.054

Low power branch target buffer based on loop access filtering

GAO Jin-jia, MENG Jian-yi, CHEN Zhi-jian

(Institute of VLSI Design, Zhejiang University, Hangzhou 310027, China)

Abstract: Branch target buffer (BTB) is one of the most power-hungry components in high-performance embedded CPUs. This paper proposed a loop access filtering mechanism to eliminate the redundant BTB operations for sequential instructions in loops. Furthermore, it proposed a branch tracing method to compensate the performance penalty due to the over-filtering of the loop filter for the not-loop branch instructions. It could reduce remarkable BTB power consumption by removing sequential instructions accessing the BTB. Simulation on Powerstone benchmark demonstrates that under the configuration of 128-entry BTB, two-level loop filter and 4-entry branch trace table can achieve approximately 71.9% power reduction while only bring 0.66% cycle loss per instruction(CPI) on average.

Key words: branch target buffer; loop filtering; branch tracing; power reduction; performance compensation

0 引言

深流水线技术是高端嵌入式 CPU 的主要发展趋势, 而以分支为代表的控制相关问题对性能的负面影响随着流水线深度的增加而不断增大。据统计, 当流水线深度增加至 7~8 级时, 处理器平均吞吐率的下降幅度超过 30%^[1]。降低控制相关性对流水线造成的影响已成为嵌入式 CPU 的重要研究内容。

目前, 嵌入式处理器主要通过分支预测技术来解决控制相关性。分支目标缓存(BTB)通过在流水线前级提前进行分支目标地址预测, 实现分支指令的快速处理与目标指令的预取, 可有效减少程序流分支延时。由于 BTB 需要缓存分支指令地址与分支目标地址, 硬件开销与访问功耗都较大。以 Pentium Pro 为例, 512 表项的 BTB 功耗占了整个处理器功耗的 5%^[2]。

在传统 BTB 设计中, BTB 与指令高速缓存(cache)的访问通常是并行的, 因此 BTB 访问阶段尚不能获得指令的解码信息。为了不丢失指令流中随时可能出现的分支指令的目标地址, 取指单元每个取指周期都需要对 BTB 进行访问。但实际统计表明, 分支指令仅占指令总数的 12%^[3], 意味着约 88% 的 BTB 访问功耗是冗余的。

当前 BTB 低功耗相关研究主要包括两方面: a) 降低每次 BTB 访问的动态功耗; b) 减少 BTB 的冗余访问次数。Wang 等人^[4]提出了一种 BTB 访问过滤方法(BAF), 该方法增加了一个 Filter BTB(FB), 仅当分支预测跳转且 FB 缺失时, 才会访问主 BTB。该方法中 FB 会引入较大的额外硬件开销, 且 FB 缺失会导致 BTB 访问延时增加。Petrov 等人^[5]提出了一种 ACBTB(application customizable branch target buffer)的软/硬件协同优化方法, 通过软件 profiling 获取程序的精确控制流信息, 从而控制 BTB 只在分支指令取指时访问。ACBTB 使用静态编译技术, 不适用于已完成编译链接的可执行程序, 且 ACBTB 需要一个可编程的硬件架构, 增加了设计复杂度和硬件成本。Chang^[6]提出了一种 Lazy BTB 的方法, 将若干基本块折合成一个 taken trace, 仅在 taken trace 末尾访问 BTB; 喻明艳等人^[7]利用程序流中分支指令间距固定的特性提出了一种基于跳转访问控制的 HA-BTB(hop access BTB)。这两种方法均需在 BTB 表项中增加额外的域记录分支间距, 硬件开销较大, 且消耗额外功耗。陈志坚^[8]提出了一种指令类型预测与分支方向预测相结合的 BTB 访问过滤方案, 只有当当前取指指令是一条分支指令且预测跳转时, 才允许访问 BTB。该方案的缺点是指令 Cache 需增加额外域存储分支信息, 同时跨 Cache 块

收稿日期: 2011-08-10; 修回日期: 2011-09-20

作者简介: 高金加(1986-), 男, 浙江嘉兴人, 硕士研究生, 主要研究方向为计算机体系结构、超大规模集成电路设计(gaojj@vlsi.zju.edu.cn); 孟建熠(1982-), 男, 博士, 主要研究方向为高性能低功耗嵌入式 CPU 设计、超大规模集成电路设计; 陈志坚(1984-), 男, 博士, 主要研究方向为高性能低功耗嵌入式 CPU 设计、超大规模集成电路设计。

访问时指令类型预测存在盲区,设计复杂度也较高。

本文重点针对嵌入式程序中普遍存在的循环体,提出了一种基于循环体访问过滤的 BTB 低功耗技术。其核心思想是:

a) 设计循环访问过滤器,实时监控循环体中指令类型,过滤循环体中顺序指令对 BTB 的访问,消除循环体中非分支类指令访问 BTB 的无效功耗;b) 针对循环访问过滤器引入的对分支指令的错误过滤,本文进一步提出了一种分支跟踪方法,用于保证循环体中分支指令目标地址的快速访问,补偿访问过滤器错误过滤导致的性能丢失。Powerstone 基准程序评测显示,在 128 表项 2 路组相联 BTB 配置下,基于本方法的 BTB 低功耗技术可以减少约 71.9% 的 BTB 功耗,而 CPI 下降仅为 0.66%。

1 背景与原理

图 1 是嵌入式程序单重循环的三类控制流图。CFG1 表示在基本循环体中,除循环体末尾指令外,其余指令均为顺序流指令。这是最典型的单重循环程序流。CFG2 表示在基本循环体中包含有跳出循环体的非循环分支,一般对应无条件循环,其典型应用是程序一直处于某状态直到满足特定条件后再执行后续任务。CFG3 表示在基本循环体中,包含有多条分支,其典型应用是 for 循环中含有 if-else 结构。

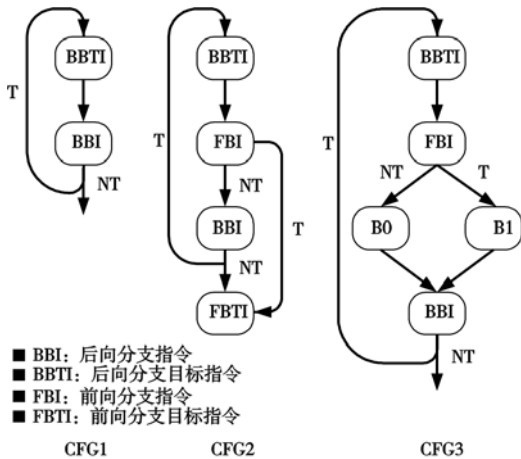


图1 基本循环体控制流图

表 1 统计了 Powerstone 基准程序中循环体指令所占比例。从表 1 可以看出,程序具有以下三个特征:a) 循环体指令数平均约占指令总数的 72.15%;b) 二重以内循环指令数约占循环体指令总数的 99.04%,涵盖了绝大部分循环体指令;c) 每个循环体基本块中平均非循环分支约有 1.6 条。

表 1 Powerstone 基准程序循环体指令比例

测试程序	指令总数	循环体指令数	循环体指令比例/%	单重循环指令比重/%	二重循环指令比重/%	三重循环指令比重/%	循环体中平均非循环分支数
adpcm	124237	65153	52.44	100.00	0.00	0.00	1.37
blit	58277	57952	99.44	100.00	0.00	0.00	1.00
compress	282569	183532	64.95	74.97	25.03	0.00	2.56
des	281233	226866	80.67	100.00	0.00	0.00	1.91
engine	749784	301598	40.22	47.21	52.50	0.29	1.44
g3fax	2775966	2357421	84.92	99.98	0.02	0.00	1.23
pocsag	602670	442808	73.47	100.00	0.00	0.00	1.79
ueqsort	505895	321364	63.52	67.59	24.65	7.76	1.91
v42	213513	191575	89.73	97.39	2.03	0.58	1.17
平均值	-	-	72.15	87.46	11.58	0.96	1.60

基于特征 a)b), 本文认为在指令预取过程中消除循环体内非分支指令对 BTB 的冗余访问,对于降低 BTB 动态功耗具

有十分重要的意义。因此,本文提出了一种循环体内指令过滤机制避免循环体中顺序流指令对 BTB 的冗余访问。

在实际指令流中,CFG2、CFG3 也是典型的循环体应用。对于 CFG2、CFG3 表征的指令流,循环过滤器会造成 BTB 假缺失,从而增加处理器控制冒险代价。BTB 假缺失是指由于 BTB 访问过滤器对循环体中分支指令的错误过滤,使得原本缓存在 BTB 中的分支指令无法获得目标地址。针对 BTB 假缺失现象,本文提出了一种分支踪迹表结构,在程序运行过程中动态记录循环体中非循环类分支指令的历史轨迹,当循环重复该分支指令时,允许访问 BTB 获取分支目标地址。基于特征 c), 由于循环体中平均非循环分支数仅为 1.6 条,因此,只需较少的分支踪迹表表项就可以实现循环体内分支指令的预测。

2 循环过滤器和分支踪迹表

2.1 循环过滤器设计

循环过滤器(LF)通过循环起始地址(BTA)和循环长度(LL)两个参数来唯一表征一个循环体。每个循环层次对应一个循环指令计数器(LIC),用于实时跟踪当前取指轨迹,判断当前取指指令是否命中循环体,并控制对 BTB 的访问。循环过滤器硬件结构如图 2 所示。

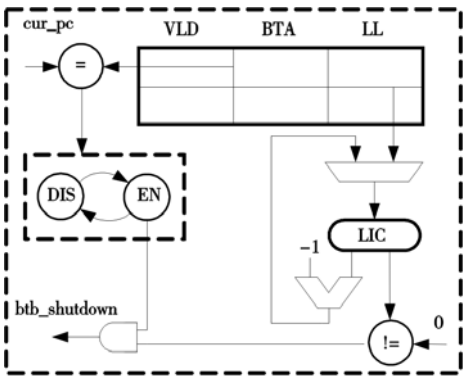


图2 循环过滤器结构

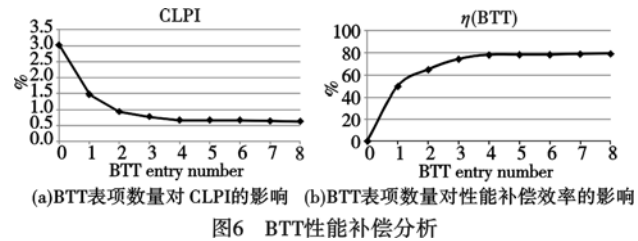
- 1) 循环起始地址(BTA) 循环起始地址即循环分支指令的目标地址。当取指地址命中 BTA 后,循环过滤机制启动。
- 2) 循环长度(LL) 循环长度记录了循环体指令数量,由分支指令偏移量获得。
- 3) 循环指令计数器(LIC) 取指地址命中 BTA 域后,LIC 加载相应循环层次的 LL 域。LIC 每个取指周期自减 1。若 LIC 不为 0,表示当前取指对应循环体指令,屏蔽 BTB 访问;若 LIC 等于 0,表示当前取指对应循环分支,允许访问 BTB。

2.2 分支踪迹表设计

分支踪迹表(BTT)通过循环分支地址(BIA)、非循环分支所在循环分支方向(DRCT)以及两者间距(FBD)来唯一表征一条非循环分支。每个 BTT 表项对应一个分支距离计数器(FBDC)用于预测当前取指指令类型。若当前取指指令是一条非循环分支,则允许访问 BTB。分支踪迹表对 BTB 访问控制的优先级高于循环过滤器。分支踪迹表硬件结构如图 3 所示。

- 1) 循环分支地址(BIA) BIA 是一次非循环分支踪迹的起始点。当前取指地址命中 BIA 后,分支跟踪机制启动。
- 2) 非循环分支所在循环分支方向(DRCT) DRCT 用于判断非循环分支是否命中循环体。只有当当前取指地址命中

图 6 表明了 BTT 性能补偿效率具有以下规律:随着 BTT 表项数量从 0 增至 4,CLPI 从 3.03% 下降至 0.66%,性能补偿明显;而数量从 4 增至 8 时,CLPI 仅从 0.66% 下降至 0.62%,补偿效果不明显。4 表项 BTT 的性能补偿效率为 78.28%,在较小的硬件代价上取得了显著的性能补偿效果。



上述结论与表 1 给出的基准程序中每个循环包含非循环分支平均数量为 1.6 条的统计数据相吻合。因此选择 4 表项的 BTT 可以获得较好的成本功耗比。

3.3 循环过滤器和分支踪迹表设计下的 BTB 功耗节省效率和性能损失分析

从上述两步实验可以得到,在 128 表项 BTB 配置下,二重迭代循环过滤器和 4 表项分支踪迹表在减少约 71.9% BTB 功耗的同时, CPI 退化仅为 0.66%。综合成本、功耗、性能三方面,本文以此方案为最佳 LF 和 BTT 设计。图 7 为该配置下,Powerstone 各基准程序功耗节省效率。

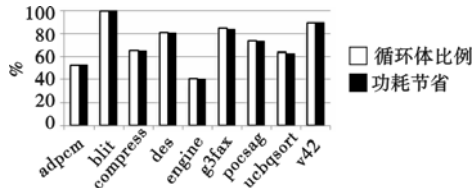


图 7 表明,本文提出的 BTB 低功耗方法的功耗优化效率与程序中的循环体指令比例成线性关系,循环体指令比例越高,功耗节省越显著。因此,本方法对于循环比例高的程序功耗节省效果尤为明显。

(上接第 993 页)以上仿真结果从另一方面验证了 2 阶 FLL 辅助 3 阶 PLL 的载波环与 2 阶 DLL 码环能够满足高动态条件下的跟踪要求,即使处在高达 65 g 的视距动态应力条件下,也能够表现出精确、稳定的性能。

$$f_d = f \times (v_0 + a \times t) / c \tag{8}$$

式中: f_d 为多普勒频移; c 为光速; f 为载波频率或伪码速率。

3 结束语

本文针对扩频信号在高动态环境中的特点,研究了应用于高动态扩频接收机的扩频接收算法,包括扩频信号的载波捕获、码捕获、载波跟踪、码跟踪等环节的关键技术,提出了一种应用于高动态环境下的捕获、跟踪方案,最后的 MATLAB 仿真证明了该方案的合理性与可行性。

参考文献:

[1] KAPLAN E D, HEGARTY C J. Understanding GPS principles and applications[M]. 2nd ed. Norwood, MA: Artech House, Inc, 2006: 112-145.
[2] TSUI J B. Fundamentals of global positioning system receivers a software approach[M]. New Jersey: Wiley, 2005: 129-186.

4 结束语

本文提出了一种基于访问过滤和分支踪迹的 BTB 低功耗方案。针对嵌入式程序中循环体指令占大部分的特征,本文对循环体中的非循环类分支指令和顺序指令加以识别,并控制 BTB 的访问,从而减少 BTB 无效访问。本文通过纯硬件方法,仅增加较小的硬件成本,实现了 BTB 功耗的有效降低,并且设计复杂度较小,尤其适合于嵌入式处理器设计。

参考文献:

[1] 郑伟民, 汤志忠. 计算机系统结构[M]. 2 版. 北京: 清华大学出版社, 1998: 312-314.
[2] MANNE S, KLAUSER A, GRUNWALD D. Pipeline gating: speculation control for energy reduction[C]//Proc of the 25th Annual International Symposium on Computer Architecture. [S. l.]: IEEE Computer Society, 1998: 132-141.
[3] HENNESSY J, PATTERSON D. 计算机体系结构: 量化研究方法[M]. 4 版. 白跃彬, 译. 北京: 机械工业出版社, 2007: 379-380.
[4] WANG Shuai, HU Jie, ZIAVRAS S G. BTB access filtering: a low energy and high performance design[C]//Proc of IEEE Computer Society Annual Symposium on VLSI. [S. l.]: IEEE Computer Society, 2008: 81-86.
[5] PETROV P, ORAILOGLU A. Low-power branch target buffer for application-specific embedded processors[C]//Proc of Computers and Digital Techniques. 2005: 482-488.
[6] CHANG Yen-jen. Lazy BTB: reduce BTB energy consumption using dynamic profiling[C]//Proc of Asia and South Pacific Design Automation Conference. Piscataway: IEEE Press, 2006: 917-922.
[7] 喻明艳, 张祥建, 杨兵. 基于跳转访问控制的低功耗分支目标缓冲器设计[J]. 计算机辅助设计与图形学学报, 2010, 22(4): 695-670.
[8] 陈志坚. 高性能低功耗嵌入式 CPU 关键技术研究[D]. 杭州: 浙江大学, 2011.

[3] 黄振, 陆建华, 杨士中. 基于 DMF 直扩系统捕获性能的研究[J]. 电路与系统学报, 2002, 7(1): 92-95.
[4] 谢钢. GPS 原理与接收机设计[M]. 北京: 电子工业出版社, 2009: 372-374.
[5] RINDER P, BERTELSEN N. A single frequency GPS software receiver [D]. Danish: Aalborg University, 2004: 25-48.
[6] 言峰, 谢憬, 毛志刚. GPS 载波跟踪环路设计[J]. 电子测量技术, 2008, 31(11): 140-143.
[7] ALAQEEL A. Global position system signal acquisition and tracking using field programmable gate arrays [D]. Athens: Ohio University, 2002: 63-81.
[8] YEN J B. Fundamentals of global positioning system receivers: a software approach[M]. Washington DC: Wiley, 2004.
[9] 曹家昆. GPS 软件接收机的捕获与跟踪技术研究[D]. 西安: 西安理工大学, 2010: 42-43.
[10] 杨俊, 武奇生. GPS 基本原理及其 MATLAB 仿真[M]. 西安: 西安电子科技大学出版社, 2006: 1-199.
[11] KAPLAN E D. GPS 原理与应用[M]. 寇艳红, 译. 北京: 电子工业出版社, 2007: 1-180.
[12] KAPLAN E D. Understanding GPS principles and applications[M]. Boston: Artech House, Inc, 1996: 153-199.