

一种数字频率合成器的 FPGA 实现技术*

梁 琪, 沈绪榜, 钟 升
(西安微电子研究所, 西安 710065)

摘要: 直接数字频率合成器(DDS)技术是近四十年来发展起来的基于查找表的频率合成技术。作为信号发生器的一种,数字频率合成器是通信系统的重要组成部分,在很大程度上决定了通信系统的性能。介绍了 DDS 的基本原理,并实现了一个基于 FPGA 的 DDS 设计。通过改变查找表的存储数据灵活地改变输出的波形;根据频率分辨率的要求不同,修改具体波形数据值。其操作简单、频率分辨率较高、全数字化、便于集成,在工程应用上具有很大的使用价值。

关键词: 直接数字频率合成器; 信号发生器; 现场可编程门阵列; 相位累加器; 数模转换器; Costas 环
中图分类号: TP391 **文献标志码:** A **文章编号:** 1001-3695(2012)03-0974-03
doi:10.3969/j.issn.1001-3695.2012.03.047

Realization of direct digital frequency synthesizer based on FPGA

LIANG Qi, SHEN Xu-bang, ZHONG Sheng
(Xi'an Microelectronics Technology Institute, Xi'an 710065, China)

Abstract: The technology of direct digital frequency synthesizer(DDS) is a technology of frequency synthesization based on look-up table, which was developed about forty years lately. As a kind of signal generator, DDS is an important part of communication system, deciding the performance of it in most degree. This paper introduced the fundamental of DDS and how to realize a DDS based on FPGA. If the waveform memory had been changed then the output wave type would be changed easily. It could be easily operated, had higher frequency separated ratio, was convenience to integrated as totally numeralization and this design was valuable in engineering application.

Key words: DDS; signal generator; FPGA; phase accumulator; D/A converter; Costas loop

0 引言

随着无线通信技术的发展,通信、雷达、电子对抗及遥控遥测等现代电子领域对频率合成技术的要求不断提高,各种新型的频率合成器和频率合成的方案不断涌现。频率合成技术在 20 世纪 30 年代提出后,先后出现了直接模拟频率合成方式和间接合成方式,一直到近二十年数字集成电路和微电子技术发展到一定阶段,直接数字频率合成的方式才得以提出并实现。直接数字频率合成器(DDS 或 DDFS)不仅可以产生各种频率不同的正弦波,还可以通过更新存储器中的波形数据产生任意周期波形。其频率分辨率高、易于用软件进行功能扩展和便于集成的优越性,使之得到了广泛的应用和飞速发展^[1]。

现有的专用 DDS 芯片以其高质量的输出信号、多功能和高性能的特征满足了电路设计者的多种需求。但专用 DDS 芯片的控制方式固定,其高性能是以高功耗作为代价,或者以高价格来降低功耗。芯片个体一旦确定,适用范围即固定,不可随实际应用的改变而灵活更改^[2]。而利用 FPGA 的可重配置性来实现的 DDS,具有灵活的接口和控制方式、通过重新修改参数来满足特定需要的优点;通过改变 FPGA 内部晶振、选择不同的参考频率,就可应用于发射机的激励信号产生源或者作为接收机的本地振荡信号源,是一种高性价比的选择。

本文从 DDS 的基本原理和结构出发,以生成正弦波为例,介绍具体 DDS 的设计和实现方法及 DDS 在基于相位跟踪算法的 Costas 环中的应用^[3],并在 Xilinx 的 Virtex-5 XC5VLX30 FPGA 上进行了验证,设计具有较高的频率分辨率和扩展性。

1 DDS 算法原理

DDS 技术最早由 Tierney 等人于 1971 年提出^[4],原理框图如图 1 所示。其中 NCO(numerical controlled oscillator)是 DDS 的核心部分,通常应用在数字信号处理中,这里采用 FPGA 来实现,模拟部分用 MATLAB 工具来对结果进行验证,从而得到 DDS 的整体设计。

由原理框图可知,DDS 由两部分组成:NCO 的数字部分以及 D/A 转换器和低通滤波器构成的模拟部分。NCO 由 L 位相位累加器和波形存储器构成。首先把需要的波形以数据表的形式预存在波形存储器中,然后在参考时钟 f_{clk} 的驱动下,通过波形控制字 N 选取需要的波形形状,频率控制字 K 控制波形输出频率, L 位相位累加器对频率控制字 K 进行线性累加,得到的相位码与相位控制字 P 的和作为地址值在波形存储器内进行寻址,输出对应的幅度数值。经过 D/A 转换为模拟波,通过低通滤波器平滑后输出。波形存储器中存放的波形形状和波形值的量化位数参考存储器的空间及结合实际要求设定。

收稿日期: 2011-08-29; 修回日期: 2011-09-30 基金项目: 国家预研基金资助项目(2002AA7140222)

作者简介: 梁琪(1985-),女,陕西渭南人,硕士,主要研究方向为嵌入式高速数字信号处理技术(cindylq320@126.com);沈绪榜(1933-),男,陕西人,研究员,博导,主要研究方向为计算机体系结构;钟升(1971-),男,陕西人,设计师,博士,主要研究方向为数字图像处理。

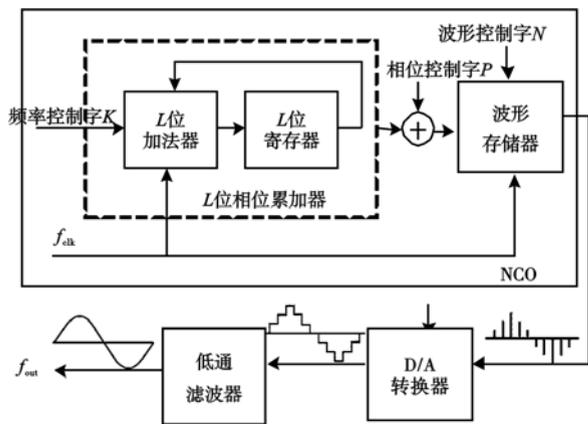


图1 DDS的原理框图

2 DDS 产生正弦波的 FPGA 实现

图2所示为DDS在基于性能函数 $J_e(\theta[k])$ 的相位跟踪算法的Costas环中的应用。该Costas环是根据爬山算法的原理,通过对实际相位偏移的估计,利用迭代式(1),一步步逼近真实值来得到实际接收信号的频率和相位偏移,最终达到锁频和锁相的目的。

$$\theta[k+1] = \theta[k] - 2\mu \text{avg}\{ \text{LPF}[r(kT_s) \cdot \cos(2\pi f_c kT_s + \theta[k])] \times \text{LPF}[\sin(2\pi f_c kT_s + \theta[k])] \} \quad (1)$$

其中 $\theta[k]$ 是初始估计值, μ 为步进常数且有 $\mu = 0.0003$, $r(kT_s)$ 为A/D输出的数字信号。令 $k=0$,带入到式(1)中得到 $\theta[2]$ 的值,依此类推,得到 $\theta[3]$ 、 $\theta[4]$ 、 \dots 、 $\theta[n+1]$,满足 $|\theta[n+1] - \theta[n]| \leq \varepsilon$ 时停止迭代, ε 为相位估计的误差范围,这里取0.001。

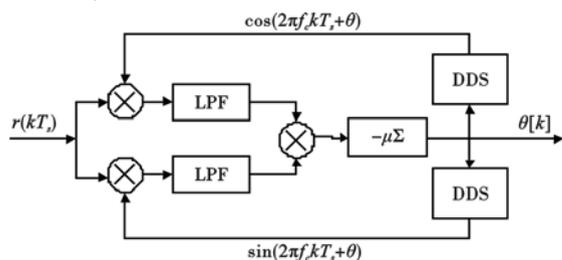


图2 DDS在Costas环中的应用

Costas环迭代式中正弦值 $\sin(2\pi f_c kT_s + \theta[k])$ 和余弦值 $\cos(2\pi f_c kT_s + \theta[k])$ 利用DDS来产生。正弦波和余弦波产生的原理相同,只在相位上相差 π ,故产生正弦波的值后,通过在初始相位上加 π 就能得到相对应的余弦。本文设计采用Verilog HDL硬件描述语言在FPGA芯片上以编程的方式实现DDS产生正弦波,余弦波的产生方法这里不作介绍。

本设计利用接收机硬件模块开发板上的Xilinx Virtex-5 XC5VLX30 FPGA来实现,时钟工作在250 MHz。外围电路如图3所示,参数设置如下:

- a) 逻辑单元数 = 30 720;
- b) I/O口数 = 400,工作电压 = 1.2 ~ 3.3 V;
- c) 总 I/O bank = 13;
- d) 时钟管理模块 = 2;
- e) 32个36KB block RAM。

DDS的最低输出频率为 $f_{\text{clk}}/2^L$,最大输出频率由Nyquist采样定理决定,即 $f_{\text{clk}}/2$ 。考虑到实际中每周期采样两个点很

难恢复原波形,为了保证输出波形,每周期至少采样四个点,此时输出最大的正弦波频率为 $f_{\text{max}} = f_{\text{clk}}/8 = 62.5 \text{ MHz}$ 。Costas环中数字正弦波间隔 $T_s = 1 \times 10^{-6} \text{ s}$,当 $L = 8$,输出波形时间间隔为 $1.024 \times 10^{-6} \text{ s}$ 。计算出频率步进即频率分辨率为 $\Delta f = f_{\text{clk}}/2^L = 0.9765 \text{ MHz}$,恰好满足需求,进而得到具体的正弦波输出的频率范围为 $0.9765 \text{ MHz} \leq f_{\text{out}} \leq 62.5 \text{ MHz}$ 。

波形存储器中存入256个16位采样点的一个完整周期的正弦波,频率控制字范围为 $1 \leq K \leq 16$,相位控制字 $1 \leq P \leq 256$,步进为 $2\pi/256$ 。

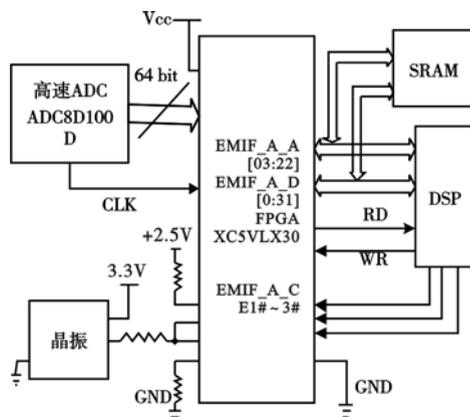


图3 开发板中FPGA的外围电路图

2.1 DDS 的主要功能模块实现

由以上论述可知,DDS数字部分的主要功能模块由L位相位累加器和波形存储器构成,用Verilog语言编程方式在FPGA上实现。顶层模块RTL图如图4所示。

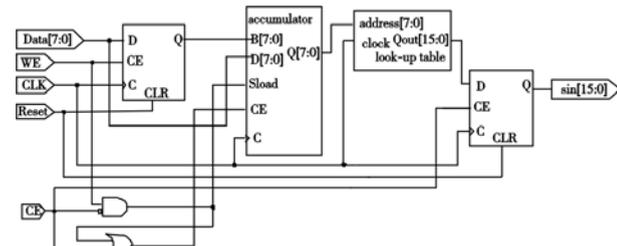


图4 DDS数字部分顶层模块RTL图

其中,Data[7:0]是频率控制字的输入端口,将所需的频率换成对应的频率控制字输入;WE为频率控制字写使能信号,CE为DDS使能信号,CE=1时开始工作;Reset为复位信号输入端口,CLK为参考时钟输入,sin[15:0]为正弦信号输出。

2.1.1 L位相位累加器构造

相位累加器在工程实践上一般采用数字全加器和寄存器的组合来完成,如图1所示。对整个正弦波的输出,实际上是对固定频率间隔的相位累加、寻址查值、输出的一个过程。输出波形的频率间隔由相位累加字的位数L来决定,同时L也决定了DDS的最小频率分辨率,即有 $\Delta f \geq 250/2^L \text{ MHz}$ 。根据实际中的要求不同,可不同程度地对频率分辨率细化,细化程度越高就可以得到更宽的输出频率范围,同时也增加查找表的存储量。输出信号的频率由频率控制字K来控制,如式(2)所示。

$$f_{\text{out}} = \frac{\omega}{2\pi} = \frac{\Delta\theta}{T_{\text{clk}}} \times \frac{1}{2\pi} = K \times \frac{f_{\text{clk}}}{2^L} \quad (2)$$

在此应用的相位累加器由8位数字全加器和8位寄存器

构成。若为了使输出波形具有更高的分辨率,则需增加相位累加器位数 L ,而数字全加器的位数也相应地增加,加法器的延时会大大限制累加器的操作速度^[5]。这时可以考虑将数据高、低位分开相加,用并行计算的方式代替单流水计算。例如,32 位数加法可分化为四个 8 位数的并行加法计算编程实现。

2.1.2 正弦波波形存储器模块的构造

本文采用 MATLAB 工具来生成一个完整周期的正弦波二进制码数值表,然后导入到 FPGA 的波形存储器中。

这里一个完整周期的正弦波用 256 个采样点的 16 bit 的数值来表示,即用 16 bit 的二进制来表示幅值的大小(最高位为符号位)。256 为地址的深度, $A[i]$ 为地址为 i 时对应的幅度值,其对应关系如图 5 所示。

幅度的数据表计算为 $A[i] = 2^{15} \sin(360^\circ \times i/256)$,幅值范围取 $-32768 \leq A[i] \leq 32768$; i 表示其对应的地址,范围为 $0 \sim 0x11111111$ (256)。实际在量化过程中对正弦值扩大了 32768 倍,这样就可以用 16 bit 的二进制数来表示 $[-1, 1]$,最高位为其符号位。分辨率为 $360^\circ/256 = 1.40625^\circ$,相位偏移由相位控制字 P 来表示,用于设定对应单元正弦波初相位的值, $0x00000000 \sim 0x11111111$ 分别对应 $0^\circ \sim 360^\circ$ 。 P 的二进制数每增加 1,对应的相位就增加 1.40625° ;若相位不为 1.40625° 的整数倍,则按四舍五入的方法,取得 P 的二进制近似值。

由上可得出,正弦查值表的实际寻址地址为 $P_{i+1} = P_i + K \cdot n$ (n 为循环累加的次数)。

2.2 设计仿真及验证

本设计用 Verilog HDL 硬件描述语言代码在 ModelSim 6.2 环境中运行仿真,验证 DDS 数字部分设计的正确性;在 MATLAB 工具中输入数字部分结果,以生成图形的方式形象化数据具体的形状特征。图 6 为其在 $K = 00000011$ 和 $K = 00000001$ 时的图形输出结果。

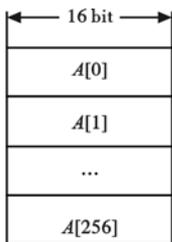


图5 幅值在存储器中与地址的对应形式

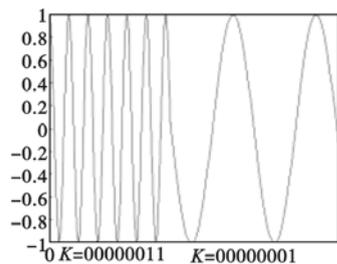


图6 DDS数字部分输出波形

最后将 DDS 的结果再次输入到开发板 FPGA 中,验证 Costas 环的特性。将两路正余弦输出的结果对应到 Costas 环的算式中验证,便得到了 Costas 环在频率估计有偏差时的相位的收敛,其频率差正比于曲线的斜率,有 $\Delta f = (1/2\pi) d\theta/dt$,如图 7 所示;频率估计正确时的相位偏收敛如图 8 所示。实验验证了该 Costas 环适用于频率估值无偏移的相偏估计和频率估值偏移时频偏计算的两种情况,进而在 Costas 环中的应用说明了具体的 DDS 用途。

2.3 性能分析

用 Verilog 语言编写的 DDS 数字部分在 FPGA 实现,通过 ISE 软件对其占用资源进行评估,结果如图 9 所示。

由图 9 可知,本设计占用 FPGA 内部的寄存器和 LUT(look up table)的数量极少,FPGA 的通用逻辑资源(LUT + FF)只有 21%。这就充分说明了该 DDS 设计资源占有少的特点。此外,DDS 的频率分辨率就由相位累加器的位数 L 决定,只要增加相位累加器的位数 L 即可获得高分辨率,易扩展。

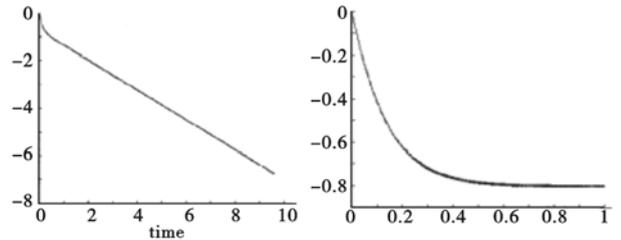


图7 频率估计错误时相偏的收敛

图8 频率估计正确时相偏的收敛

device utilization summary(estimated values)			
logic utilization	used	available	utilization
number of slice registers	24	19200	0%
number of slice LUTs	60	19200	0%
number of fully used LUT-FFpairs	15	69	21%
number of bonded IOBs	28	220	12%
number of BUFG/BUFGCTRL_s	1	32	3%

图9 占用FPGA内部资源评估

3 结束语

本文采用 DDS 的 FPGA 实现,只要改变 RAM 里存储的波形数据,就可以灵活地改变输出的波形形状;亦可根据实际应用中的不同,通过修改相位累加器的位数即可修改频率分辨率,操作简单。配上相应的 D/A 转换器,即可输出波形连续的正弦、三角、方波等信号,比传统的 DDS 芯片电路简单、占用资源少、输出波形调整灵活、性价比高,具有广泛的应用前景。

参考文献:

- [1] 蒋涛,唐宗熙,张彪. 一种基于 DDS + PLL 结构的频率合成器的设计[J]. 电子测量与仪器学报,2009,23(10):91-95.
- [2] 杨威,左月明,刘洋,等. 利用 FPGA 实现 DDS 信号发生器的研究[J]. 山西农业大学学报,2007,27(3):329-332.
- [3] Jr JOHNSON C R, SETHARES W A. Telecommunication breakdown: concepts of communication transmitted via SDR[M]. [S. l.]: Prentice Hall,2003:194-221.
- [4] TIERNEY J, RADAR C M, GOLD B. A digital frequency synthesizer[J]. IEEE Trans on Audio Electroacoustics,1971,19(1):48-57.
- [5] 卫铭斐,沈绪榜,于军琪. 基于 EP1K30QC208 的直接数字频率合成器设计[J]. 微电子学与计算机,2009,26(1):130-132.
- [6] 刘利子,黄玲,谭潇雄,等. 一种正弦信号发生器的设计[J]. 电子设计工程,2009,17(7):35-36.
- [7] HUANG Jian-ming, LEE C C, WANG C C. A ROM-less direct digital frequency synthesizer based on 16-segment parabolic polynomial interpolation[C]//Proc of the 15th IEEE International Conference on Electronics, Circuits and System. 2008:1018-1021.
- [8] 李世松,赵伟. 基于 DDS 信号发生器的智能电表动态测量功能评估方法初探[J]. 电测与仪表,2010,47(10):1-5.
- [9] 王革思,张勇,何煜,等. 一种新的正交直接数字频率合成器设计方案[J]. 微电子学,2010,40(2):31-35.
- [10] 杨德,鲍景富. 现代频率合成技术的研究进展[J]. 电讯技术,2007,47(2):1-5.